

Міністерство освіти і науки України

## **Комп'ютерна схемотехніка**

Конспект лекцій для студентів спеціальності  
«Комп'ютерні науки», «Програмна інженерія»  
денної та заочної форм навчання

Чернігів

УДК 621.38:004  
ББК 32.973.01я7  
К 63

До друку \_\_\_\_\_ Голова Навчально-методичної ради ЧіБіП  
(підпис)

Електронна копія друкованого видання передана для внесення в репозитарій ЧіБіП  
\_\_\_\_\_ директор бібліотеки.  
(підпис)

Затверджено Навчально-методичною радою ЧіБіП,  
протокол № \_\_\_\_ від «» \_\_\_\_\_ 20 16 року.

Рекомендовано до видання Навчально-методичною радою факультету комп'ютерних наук та  
інформаційних технологій ЧіБіП,  
протокол № \_\_\_\_ від «» \_\_\_\_\_ 20 16 року.

\_\_\_\_\_ Голова навчально-методичної ради факультет  
(підпис)

Розглянуто і схвалено на засіданні кафедри комп'ютерної науки ЧіБіП,  
протокол № \_\_\_\_ від «» \_\_\_\_\_ 20 16 року.

Укладачі: \_\_\_\_\_ Л.А. Матвійчук, кандидат педагогічних наук, доцент ЧіБіП  
(підпис)

\_\_\_\_\_  
(підпис)

Рецензент: \_\_\_\_\_, кандидат фізико-математичних наук, доцент ЧіБіП  
(підпис)

\_\_\_\_\_

**М54** **Комп'ютерна схемотехніка** [Текст]: Конспект лекцій / уклад. Л.А.Матвійчук. –  
Чернігів: ЧіБіП, 2017. – 156 с.

Видання містить конспект лекцій, контрольні питання.

Призначене для студентів спеціальності «Комп'ютерні науки», «Програмна інженерія» денної  
та заочної форм навчання

© Л.А.Матвійчук, 2017

## ЗМІСТ

|   |    |
|---|----|
| ВСТУП.....  | 7  |
| ТЕМА 1. ІНФОРМАЦІЙНІ ОСНОВИ ЦИФРОВИХ АВТОМАТІВ.....                             | 8  |
| Лекція 1. Інформаційні основи .....   | 8  |
| 1.1. Інформація та загальні принципи її перетворення .....                      | 8  |
| 1.2. Системи числення .....   | 13 |
| Лекція 2. Інформаційні основи двійкових кодів і їх практичне використання ..... | 16 |
| 2.1. Двійкові коди .....  | 16 |
| 2.2. Контрольні тести .....   | 21 |
| ТЕМА 2 ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ .....                                  | 24 |
| Лекція 3. Дискретизація аналогових сигналів.....                                | 24 |
| 3.1. Дискретизація сигналів.....  | 24 |
| 3.2. Квантування за рівнем .....  | 24 |
| 3.3. Квантування за часом .....   | 25 |
| 3.4. Квантування за рівнем і за часом .....                                     | 26 |
| 3.5. Розрахунок похибки АЦП .....   | 27 |
| 3.6. Вибір величини кроку квантування за часом.....                             | 28 |
| ТЕМА 3. АЛГЕБРА ЛОГІКИ І СИНТЕЗУ ЦИФРОВИХ ЕЛЕКТРОННИХ СХЕМ.....                 | 29 |
| Лекція 4. Алгебра логіки.....   | 29 |
| 4.1. Основні положення алгебри логіки.....                                      | 29 |
| 4.2. Основні закони формальної логіки .....                                     | 31 |
| 4.3. Аксиоми алгебри .....  | 33 |
| 4.4. Основні тожності алгебри логіки .....                                      | 33 |
| 4.5. Функцій однієї змінної .....   | 35 |
| 4.6. Функції двох змінних.....  | 36 |
| Лекція 5. Логічні елементи .....  | 37 |
| 5.1. Базисні логічні функції.....   | 37 |
| 5.2. Принцип двійкової булевої алгебри.....                                     | 37 |
| 5.3. Диз'юнктивна нормальна форма (ДНФ) .....                                   | 37 |
| 5.4. Кон'юнктивна нормальна форма (КНФ) .....                                   | 38 |

|  |    |
|--|----|
| 5.5. Мінімізація логічних функцій за допомогою діаграм Вейча та карт Карно .....               | 38 |
| ТЕМА 4 ЛОГІЧНІ ЕЛЕМЕНТИ.....   | 39 |
| Лекція 6. Основи будови логічних елементів.....  | 39 |
| 6.1. Логічні елементи .....  | 39 |
| 6.2. Логічний елементи «НІ; І; АБО .....   | 39 |
| 6.3. Повторювач.....   | 43 |
| 6.4. Логічний елемент «І-НІ; АБО-НІ; ВиключаючиАБО » .....                                     | 44 |
| 6.5. Логічна функція «сумування по модулю два» (непарність).....                               | 46 |
| Лекція 7. Логічні елементи в транзисторної базі .....  | 53 |
| 7.1. Логічні елементи з відкритим колектором .....   | 53 |
| 7.2. Логічні елементи з третім станом.....   | 55 |
| 7.3. Базова логіка серії КМОН. ЕЗЛ .....   | 57 |
| ТЕМА 5. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ В РІЗНИХ БАЗАХ.....  | 65 |
| Лекція 8. Реалізація логічних функцій в різних базах.....                                      | 65 |
| 8.1. Базисні набори ЛЕ і їх взаємозв'язок.....   | 65 |
| 8.2. Реалізація логічних функцій .....   | 66 |
| ТЕМА 5. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ В РІЗНИХ БАЗАХ.....  | 67 |
| Лекція 8. Реалізація логічних функцій в різних базах.....                                      | 67 |
| 8.1 Базисні набори логічних елементів і їх взаємозв'язок .....                                 | 67 |
| 8.1.1 Реалізація елемента «Рівнозначність» (виключаючи АБО-НІ).....                            | 67 |
| 8.1.2. Реалізація елемента «Нерівнозначність» (виключаюче АБО, сума по модулю два).....        | 68 |
| 8.1.3. Реалізація елемента «Заборона» .....  | 69 |
| 8.2. Реалізація багатобуквених логічних функцій на елементах з невеликою кількістю входів..... | 70 |
| ТЕМА 6. ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ІНТЕГРАЛЬНИХ МІКРОСХЕМ                                      | 72 |
| Лекція 9. Параметри і характеристики інтегральних мікросхем.....                               | 72 |
| 9.1. Характеристика коефіцієнтів по входу і виходу ( $K_{ов}$ , $K_{рпв}$ ) .....              | 72 |
| 9.2. Статичні і динамічні характеристики .....   | 73 |
| 9.3. Вхідні та вихідні параметри напруги та струму .....                                       | 75 |

|   |     |
|---|-----|
| ТЕМА 7. ЕЛЕМЕНТНА БАЗА. РЕАЛІЗАЦІЯ БАЗОВИХ ЛОГІЧНИХ ФУНКЦІЙ   | 78  |
| Лекція 10. Транзисторна базова логіка .....                   | 78  |
| 10.1. Базовий ТТЛ (ТТЛШ) .....                                | 78  |
| 10.2. Базовий ЕЗЛ логіка - елемент АБО / АБО-НІ .....         | 82  |
| 7.3. Базовий КМОН логіка.....                                 | 83  |
| ТЕМА 8. МЕТОДИ АНАЛІЗУ ТА СИНТЕЗУ КОМБІНАЦІЙНИХ СХЕМ .....    | 86  |
| Лекція 11. Методи синтезу комбінаційних схем.....             | 86  |
| 11.3. Синтез КС з урахуванням обмеження на $K_{об}$ .....     | 86  |
| 11.1. Канонічний метод синтезу комбінаційних схем.....        | 88  |
| 11.2. Вхідні та вихідні параметри напруги та струму .....     | 92  |
| 11.3. Синтез КС з урахуванням обмеження на $K_{об}$ .....     | 96  |
| 11.4. Аналіз комбінаційних схем .....                         | 96  |
| 11.5. Аналіз комбінаційних схем методом $\pi$ -алгоритму..... | 97  |
| ТЕМА 9. ДВІЙКОВІ КОДИ .....                                   | 103 |
| Лекція 12. Коди що розпізнають помилки .....                  | 103 |
| 12.1. Поняття надлишковості .....                             | 103 |
| 12.2. Додатковий двійковий код .....                          | 104 |
| 12.3. Коди «2 із 5; 3 із 5; 2 із 7».....                      | 106 |
| 12.4. Принцип дії кодів, що виправляють помилки.....          | 110 |
| 12.5. Код Хеммінга.....                                       | 110 |
| 12.6. Завдання до лекції. 12 .....                            | 115 |
| ТЕМА 10. ГЕНЕРАТОРИ ТАКТОВИХ ІМПУЛЬСІВ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ  |     |
| .....   | 121 |
| Лекція 13. Генератори на інверторах .....                     | 121 |
| 13.1. ГТІ на двох інверторах .....                            | 121 |
| 13.2. ГТВ на 3-х інверторах.....                              | 123 |
| Лекція 14. Розрахунок імпульсних генераторів .....            | 125 |
| 14.1. Теоретичні відомості .....                              | 125 |
| 14.2. Розрахунок генераторів .....                            | 127 |
| 14.3. Завдання що до розрахунку генераторів.....              | 134 |

|  |     |
|--|-----|
| Приклад виконання завдання .....                           | 140 |
| ТЕМА 11. ФУНКЦІОНАЛЬНІ ПРИСТРОЇ ЦИФРОВОЇ ЕЛЕКТРОНІКИ ..... | 143 |
| Лекція 15 Аналіз функціональних пристроїв .....            | 143 |
| 15.1. Аналіз та синтез КЦП .....                           | 143 |
| 15.2. Класифікація комп'ютерних цифрових пристроїв .....   | 145 |
| СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ .....                           | 154 |

## ВСТУП

Одним із основних завдань комп'ютеризованих систем управління та автоматизації (інформаційно-управлінських систем) є передача, перетворення та обробка інформації. Основною ланкою таких систем є джерело інформації, з якого він отримує інформацію про об'єкт керування (інформація). Остання передається у вигляді повідомлень, які представляють послідовність чисел в тій чи іншій системі числення. Такий процес відображення інформації називається кодування, а повідомлення, відображені тим чи іншим кодом, називаються дискретними повідомленнями.

Оскільки основним елементом сучасних систем інформації та управління комп'ютером (мікропроцесор, однокристальна мікро-ЕОМ, персональна ЕОМ), обробка інформації здійснюється в цифровому вигляді, і дискретні повідомлення зазвичай представляються двійковим кодом (ДК). Код – це правило, відповідно до якого дискретне повідомлення представлено у вигляді чисел у певній системі числення. У цифровій електроніці крім ДК використовуються десяткові, вісімкові та шістнадцяткові коди.

Додаткову інформацію по тому чи іншому матеріалу Ви можете знайти в навчальному посібнику «Комп'ютерна схемотехніка», якій підготували автори даного матеріалу

# ТЕМА 1. ІНФОРМАЦІЙНІ ОСНОВИ ЦИФРОВИХ АВТОМАТІВ

## Лекція 1. Інформаційні основи

### 1.1. Інформація та загальні принципи перетворення

### 1.2. Системи числення

#### 1.1. Інформація та загальні принципи її перетворення

В основу обчислювальної техніки закладені інформаційні процеси, пов'язані зі збору та обробки інформації, її передача, зберігання, розповсюдження, відображення, запис, читання, т. д. всі ці процеси в кінцевому рахунку можна виділити відрізнити чотири основних процесів або процедур: *отримання інформації, трансфер, зберігання та переробки*. Реалізація всіх цих процедур у загальному випадку супроводжується перетворенням фізичного носія інформації та форми його представлення.

Не зупиняючись на складній проблемі формалізованого визначення поняття інформації, будемо вважати, що інформація є відомості про ті чи інші явища та об'єкти (наприклад: звіти про погоду, археологічні, політичних тощо), точніше – відомості про певні властивості або параметри цих явищ або об'єктів та про залежності між цими властивостями.

*Інформація, втілена та зафіксована у деякій матеріальній формі, називається повідомленням, а фізичні засоби передачі повідомлення – сигнал. Або іншим чином: сигнал – це процес зміни у часі деякого фізичного параметра  $S(t)$  будь-якого об'єкта, який використовується для відображення, реєстрації та передачі повідомлення.*

Характер зміни сигналу з часом може бути представлений графічно, у вигляді осцилограми, за допомогою таблиці, в яку вносять значення  $S_i$  в  $i$  - ті моменти часу, аналітично.

Теоретичні дослідження сигналу і його розрахунків з використанням цих або інших методів математичного опису тобто, створити математичну модель сигналу. Тобто, при створенні такої моделі описує тільки властивостями, які здаються об'єктивно важливі і ігнорується, велика кількість другорядних ознак.



В якості математичної моделі сигнал може бути прийнятий, наприклад, функціональна залежність, аргумент, який є часом:

$S = f(t)$ . З цією моделлю, зрозуміло, що причиною зміни  $S$  являється не сам час, а деяка інша фізична величина. Тому точніше сказати, що маркування сигналів через  $S(t)$ ,  $q(t)$ ... застосовує модель, яка описує зміну значення  $S$ ,  $q$ ,... в часі.

Існують різні типи сигналів:

- безперервний, тобто аналоговий;
- дискретні;
- квантовані;
- кодовані (цифровий);
- модульовані;
- імпульсні, тощо.

Практично при будь-якій обробці інформації здійснюються ті чи інші перетворення сигналів.

Перетворення сигналів застосовується, коли змінюється носій інформації, або функції, яка передається за певним законом і забезпечує індивідуальну відповідність між входом і виходом.

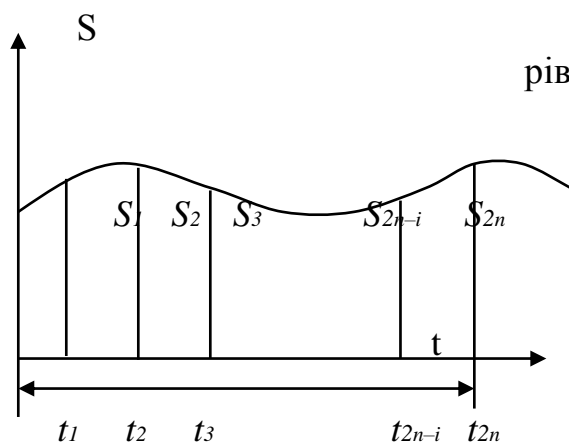
У випадку безперервного вхідного сигналу найбільш часто використовується процедура зміни типу сигналу - її дискретизації.

Дискретний сигнал описує функцію решітки (послідовність, часових рядів)  $X(nt)$ , в якому значення в  $X$  може приймати будь-які значення з проміжку  $[X', X'']$ , в той час як незалежна змінна ( $n$ ) приймає тільки дискретні значення  $n = 0; 1; 2; \dots$   $t$  - інтервал (крок) дискретизації. Дискретизація безперервної сигналу  $S(t)$  можуть вироблятися в часі або відповідно до рівня. Останній випадок дискретизації, зазвичай називають як *параметр квантування*.

Коли дискретизація сигналу  $S(t)$  здійснюється в часі, безперервний сигнал  $S(t)$  замінюється на послідовність імпульсних сигналів, амплітуда яких відповідає значення безперервного сигналу в дискретні моменти часу  $nt$ .

У цьому випадку, значення  $t$  рівний часовому інтервалу, який потім  $fD = 1/t$  є циклічна частота, і  $D = 2fD$  відповідно кругова частота.

Приймаємо, що сигнал  $S(t)$  заданий або графічно або у вигляді таблиці, де внесені його значення в межах періоду часу  $T$  через певні проміжки часу, тобто період  $T$  поділений в даному випадку на  $2(n)$  рівних частин (рисунок. 1.1).



Тоді, абсциси точок розподілу будуть рівні:  $tk = (kT) / 2(n)$ , а ординати в цих точках:  $Sk = f(tk)$  де  $k = 0, 1, 2, \dots, 2n$ .

Рисунок 1.1 – Дискретизація сигналу

Де,  $Sk$  значення амплітуди сигналу  $S(t)$  ( $k$ )-ий момент часу.

Якщо безперервної сигналу такий вираз:  $S(-t) = Smsint$ , то після дискретизації в часі цей сигнал описується рівнянням:

$$S(nt) = Smsinnt \quad (1.1)$$

В результаті дискретизації первісна функція  $S(t)$  замінюється поєднанням окремих значень  $Sk$ , що може бути використано для відновлення первісну функцію  $S(t)$  з деяким запасом похибки. Функція отримана в результаті такого відновлення (інтерполяції), називається відтворюючою. Для відтворення функції, що необхідно представити, найбільш часто використовують степеневі алгебраїчні многочлени, у вигляді:

$$V(t) = \sum_{i=0}^n a_i t^i \quad (1.2)$$

де,  $n$  - степінь многочлена;  $a_i$  - дійсні коефіцієнти.

При дискретизації сигналів необхідно вирішити, як часто виконувати розрахунки функцій, тобто те, який повинен бути крок (квантування) дискретизації.

Відповідно до теореми В.А. Котельнікова, якщо функція  $S(t)$  не містить частот вище за  $F_m$ , потім вона повністю визначається їх миттєвих значень в момент часу, розташованими на величину  $1 / 2(F_m) = t$  – крок час дискретизації;

$S_K = S(kt)$  - миттєві значення сигналу  $S(t)$ ,  $k$ -ої відлікової точки.

$$tk = k / m = (k) / 2(F_m) = tk \quad (1.3)$$

З теореми випливає, що для однозначного представлення функції з обмеженим діапазоном на інтервалі часу  $T$  достатньо мати деякі  $n$  значення функції, де:

$$n = T / t = 2F_m T \quad (1.4)$$

Коли виконується ця рівність, безперервна і дискретна функцій оборотні між собою, тобто, тотожні.

Таким чином, довільний сигнал, діапазон якого не містить частот вище  $F_m$ , може бути представлений у вигляді послідовності імпульсів, амплітуди яких дорівнює значенню вихідного сигналу в дискретні моменти часу  $kt$  - і проміжки часу між ними  $t = 1/2 F_m$ .

З приведених вище формулювань теореми Котельнікова слідує, що для вибору оптимального кроку дискретизації необхідно зробити кількісну оцінку всіх значних гармонік спектрального розкладу неперервного оригінальний безперервної сигналу для надходження значень  $F_m$ , тобто  $m$ .

Розглянемо параметр сигналу квантування [1].

В діапазоні неперервних величин функція  $f(t)$  вибирається скінченну кількість дискретних значень функцій, наприклад, рівномірно розподілених на весь діапазон. У будь-який час значення функції  $f(t)$  замінюється з найближчого дискретних параметра значення функції тим самим функція набуває ступінчатий зовнішній вигляд. (рисунок. 1.2).

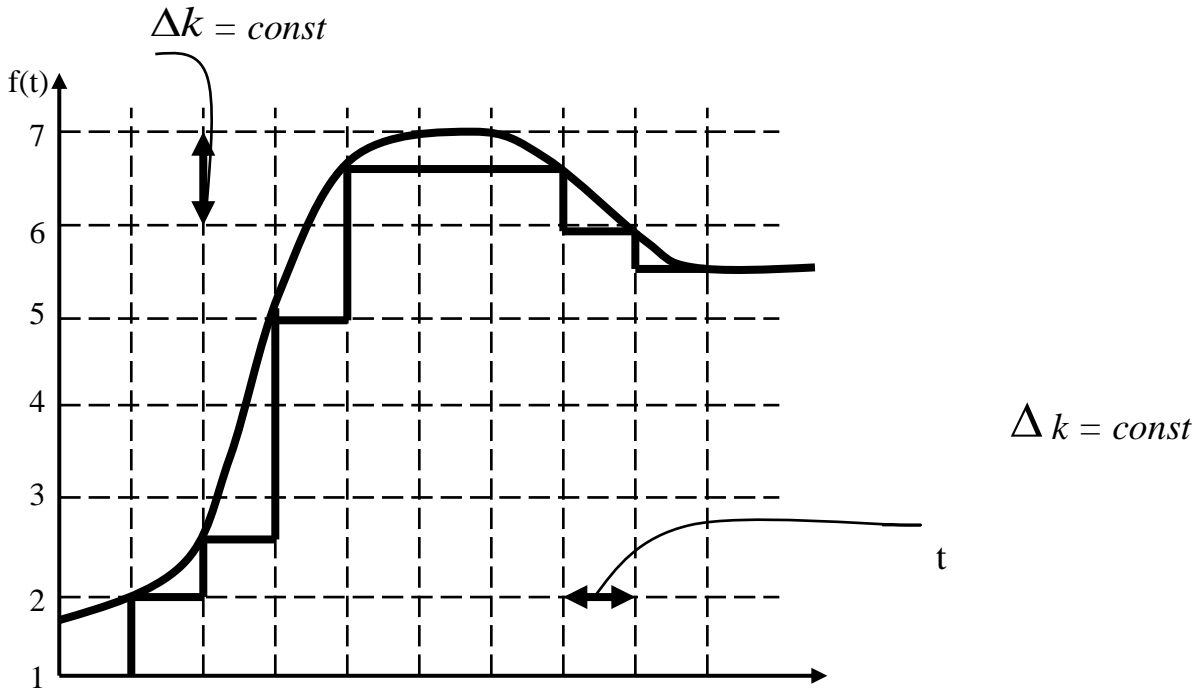


Рисунок 1.2 – Ступінчатий зовнішній вигляд функції

Крок квантування параметру називається різниця між сусідніми дискретними значенням функції.

Для рівномірного квантування крок квантування рівний:

$$k = (f_{\max} - f_{\min}) / (q - 1) \quad (1.5)$$

де,  $q$  - кількість кроків квантування.

Абсолютна похибка квантування параметру може змінюватись від 0 до  $K/2$ . Середньоквадратична похибка квантування, коли рівномірний розподіл приведеної похибки від 0 до  $0,5 K$  дорівнює:

$$K = K / 2\sqrt{3} \quad (1.6)$$

Коли значення параметра квантування сигналу отримує деяке число (код) із скінченної множини вибраної системи числення, то виконується процедури кодування сигналу.

Закодовані таким чином сигнали зазвичай називають як цифрові сигналів. Тим не менш, ми повинні мати на увазі, що кодування в широкому сенсі цього слова є будь-які перетворення повідомлень на певний сигнал, створивши між ними однозначну відповідність.

Цифровий сигнал описує функцію квантової решітки (квантована послідовність, квантування часових рядів)  $X_w(nt)$ , який приймає ряд дискретних значень, рівнів квантування  $(h) 1, (h) 2, (h) 3 \dots hk$ , при цьому незалежної змінної  $n = 0, 1, 2, \dots$ . Кожному із рівнів квантування присвоюється номер, і таким чином сигнал кодується. Тому передача або обробка відліку цифрового кодованого сигналу зводиться до операцій над безрозмірними числами (кодами). Показ сигналу в цифровій формі майже завжди має значну перевагу при передачі, зберіганні та обробки інформації.

Отже, в цьому випадку інформація кодується кінцевим набором символів (цифр, букв), які вибираються з деякого кінцевого алфавіту. Будь-які скінченні послідовності сигналів називаються словом в цьому алфавіті. Метод зображень будь-які числа, використовуючи обмежену кількість цифр називається системою числення.

Кодування аналогового сигналу проводиться за допомогою різних видів аналого-цифрових перетворювачів (АЦП). Зворотний порядок реалізується цифроаналоговий перетворювачі (ЦАП). Для перетворення сигналів, зокрема, використовуються різні модулятори і демодулятори, широко використовуються в так званих модемах, в якому комп'ютери підключаються до різних типів обчислювальних мереж. Часто перетворюють і фізичну природу сигналу. Зокрема, перетворення оптичного сигналу в електричний і навпаки, виконуються за допомогою різних оптоелектронних приладів.

## **1.2. Системи числення**

У позиційних системах числення одна і та ж цифра (числовий знак) у записі числа набуває різних значень залежно від своєї позиції. Таким чином, позиція цифри має вагу у числі. Здебільшого вага кожної позиції кратна деякому натуральному числу  $b$ ,  $b > 1$ , яке називається основою системи числення.

Крім звичної нам десяткової, також поширені системи числення з основами:

2 — двійкова (у дискретній математиці, інформатиці, програмуванні)

8 — вісімкова (у програмуванні)

12 — дванадцяткова (мала широке застосування у давнину, подекуди використовується і нині)

16 — шістнадцяткова (поширена у програмуванні, а також для кодування шрифтів)

60 — шістдесяткова (для виміру кутів і, зокрема, довготи і широти).

Переведення довільної позиційної системи числення до десяткової

Якщо число у системі числення з основою  $b$  дорівнює:

$$a_1, a_2, a_3 \dots a_n, \quad (1.7)$$

то для переведення його до десяткової системи обчислюють наступну суму:

$$\sum_{i=1}^n a_i \cdot b^{n-i}, \quad (1.8)$$

або, більш наглядно:

$$a_1 \cdot b^{n-1} + a_2 \cdot b^{n-2} + \dots + a_{n-1} \cdot b^1 + a_n \cdot b^0, \quad (1.9)$$

або, нарешті, у вигляді схеми Горнера:

$$(((\dots(a_1 \cdot b + a_2) \cdot b + a_3) \dots) \cdot b + a_n). \quad (1.10)$$

Приклад:

$$\begin{aligned} 1011002 &= 1 \cdot 25 + 0 \cdot 24 + 1 \cdot 23 + 1 \cdot 22 + 0 \cdot 21 + 0 \cdot 1 = \\ &= 1 \cdot 32 + 0 \cdot 16 + 1 \cdot 8 + 1 \cdot 4 + 0 \cdot 2 + 0 \cdot 1 = 32 + 8 + 4 + 0 = 4410 \end{aligned}$$

Переведення із десяткової до довільної позиційної системи числення

Для переведення потрібно ділити число із залишком на основу системи числення допоки частка не стане меншою за основу.

Приклад

4410 переведемо до двійкової системи

44 ділимо на 2. частка 22, залишок 0

22 ділимо на 2. частка 11, залишок 0

11 ділимо на 2. частка 5, залишок 1

5 ділимо на 2. частка 2, залишок 1

2 ділимо на 2. частка 1, залишок 0

Частка менша двох, ділення закінчено. Тепер записуємо усі залишки, починаючи з останнього, і останню частку від ділення зліва направо, отримаємо число 1011002.

Переведення із двійкової у вісімкову і шістнадцяткову системи і навпаки

Для цього типу операцій існує спрощений алгоритм.

Для вісімкової — розбиваємо числа на триплети, перетворюючи триплети згідно таблиці 1.1.

Таблиця 1.1 – Переведення із двійкової у вісімкову систему числення

|     |   |     |   |
|-----|---|-----|---|
| 000 | 0 | 100 | 4 |
| 001 | 1 | 101 | 5 |
| 010 | 2 | 110 | 6 |
| 011 | 3 | 111 | 7 |

Для шістнадцяткової — розбиваємо на квартети (тетраедри), перетворюючи згідно таблиці 1.2.

Таблиця 1.2 – Переведення із двійкової у шістнадцяткову систему числення

|      |   |      |   |      |   |      |   |
|------|---|------|---|------|---|------|---|
| 0000 | 0 | 0100 | 4 | 1000 | 8 | 1100 | C |
| 0001 | 1 | 0101 | 5 | 1001 | 9 | 1101 | D |
| 0010 | 2 | 0110 | 6 | 1010 | A | 1110 | E |
| 0011 | 3 | 0111 | 7 | 1011 | B | 1111 | F |

## Лекція 2. Інформаційні основи двійкових кодів і їх практичне використання

### 2.1. Двійкові коди

### 2.2. Контрольні тести

#### 2.1. Двійкові коди

Двійкові числа в обчислювальних пристроях розміщуються у комірках пам'яті, причому для кожного розряду числа виділяється окрема комірка, що зберігає один біт інформації. Сукупність комірок, призначених для розміщення одного двійкового числа, називають *розрядною сіткою*. Довжина розрядної сітки (число комірок  $n$  у розрядній сітці) обмежена і залежить від конструктивних особливостей обчислювального пристрою. Більшість існуючих електронних обчислювальних пристроїв мають розрядні сітки, що містять 16, 32 або 64 комірок.

Розміщення розрядів числа у розрядній сітці може відбуватися різними способами. Спосіб розміщення визначається формою подання двійкових чисел у ЕОМ. *Розрізняють дві форми подання двійкових чисел: із фіксованою комою і з «плавучою» комою*. Іноді ці форми називають відповідно *природною і напівлогарифмічною*.

Припустимо, що в розрядній сітці необхідно розмістити двійкове число, що містить цілу і дробову частини. Якщо для розміщення цілої частини числа виділяється  $k$  комірок  $n$ -розрядної сітки, то (якщо не враховувати знак) для розміщення дробової частини залишиться  $n-k$  вільних комірок (рисунок 2.1).

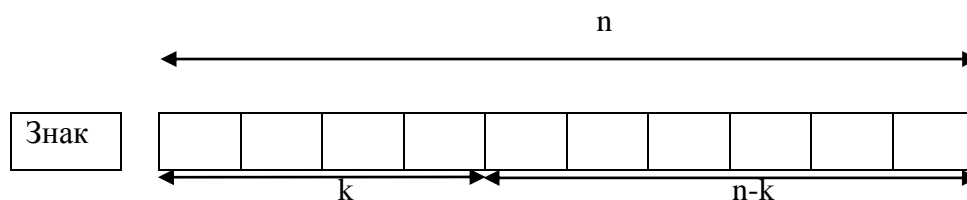


Рисунок 2.1 – Форма подання двійкових чисел із фіксованою комою

Така форма подання двійкових чисел називається *формою з фіксованою комою*. Дійсно, положення коми строго фіксовано стосовно розрядної сітки. Якщо кількість



розрядів у дробовій частині числа перевищують  $n-k$ , то деякі молодші розряди виходять за межі розрядної сітки і не будуть сприйматися обчислювальним пристроєм. *Отже, будь-яке двійкове число, менше ніж одиниця молодшого розряду розрядної сітки, сприймається як нуль і називається машинним нулем.*

У результаті відкидання молодших розрядів дробової частини числа, розташованої за межами розрядної сітки, виникає похибка подання. Максимальне значення абсолютної похибки подання не перевищує одиниці молодшого розряду сітки.

В універсальних ЕОМ форма з фіксованою комою, у зв'язку з властивою їй низькою точністю, застосовується лише для подання цілих чисел. Основною є форма подання чисел з «плавучою» комою. Її використання дозволяє суттєво розширити діапазон і зменшити відносну похибку.

У цій формі числа подаються у вигляді суми деякого ступеня основи системи числення (який називається характеристикою числа) і цифрової частини, що має вигляд правильного дробу:

$$N = \pm aq^{\pm p}, \quad (2.1)$$

де,  $p$  звать порядком числа, а правильний дріб  $a$  – його мантисою. Мантиса і порядок є знаковими числами. Тому для позначення знаків у розрядній сітці відводяться два додаткові розряди. Знак усього числа співпадає із знаком мантиси.

При запису двійкового числа у показовій формі, в розрядній сітці використовуються дві групи розрядів (без урахування знакових розрядів мантиси і порядку). Перша група ( $k$  розрядів) призначена для розміщення коду мантиси, друга ( $n-k$  розрядів) – для розміщення коду порядку (рисунок 2.2).

Отже, мантиса числа може мати необмежену кількість різних значень, менших за одиницю, при відповідних значеннях порядку (тобто кома може «плавати»). *З усієї кількості подань числа у показовій формі те його подання, що не має в старшому розряді мантиси нуля, називають нормалізованим.* Всі інші подання є

ненормалізованими. У нормалізованій формі значення мантиси завжди більші або дорівнюють  $1/2$ , але не перевищують одиниці.

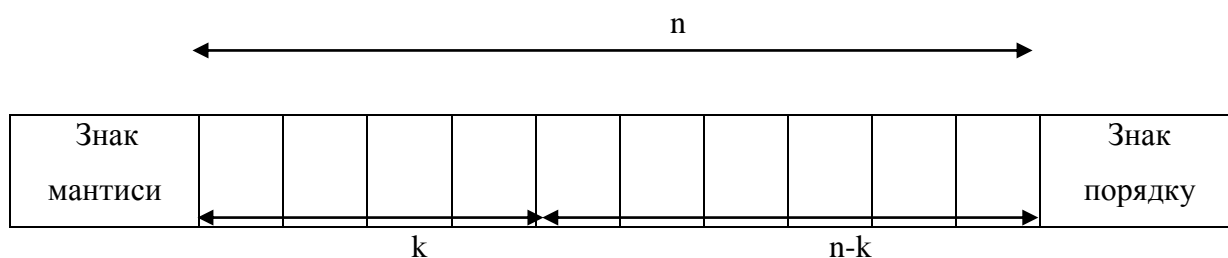


Рисунок 2.2 – Форма подання двійкових чисел із „плавучою” комою

Використання ПК забезпечує виконання операції додавання двох додатніх чисел звичайним способом без будь-яких складностей – не варто лише робити перенос одиниці старшого розряду модуля суми у знаковий розряд. Тобто при виконанні арифметичних операцій над ПК двійкових чисел знаковий розряд і розряди модуля не можна розглядати як єдине ціле. У цьому можна переконатися, розглянувши такий приклад:

| <u>Правильно:</u>   | <u>Неправильно:</u>  |
|---------------------|----------------------|
| 0. 0110             | 0.0110               |
| + 0. 1010           | + 0.1010             |
| 0.10000             | 1.0000               |
| (+6) + (10) = (+16) | (+6) + (+10) = (- 0) |

Однак, виконання операції віднімання одного числа від іншого шляхом безпосереднього додавання їхніх ПК неможливо. Неважко також помітити, що в ПК нуль має два можливі зображення:  $- 0 = 1.000\dots$  і  $+ 0 = 0.000\dots$ , що ускладнює інтерпретацію результатів виконання арифметичних операцій у ЕОМ.

Іншою формою запису двійкових чисел є обернений код (ОК). ОК двійкового від’ємного числа утворюється з ПК рівного йому за модулем додатнього числа шляхом інвертування значень усіх його розрядів. Або: ОК від’ємного числа утворюється шляхом інверсії всіх розрядів модуля цього числа, записаного у ПК. Знаковий розряд при цьому зберігає значення 1. Наприклад,  $6_{(10)} = 1.110_{(ПК)} = 1.001_{(ОК)}$ .

При виконанні арифметичних операцій над двійковими числами, поданими в ОК, знаковий розряд і розряд модуля числа можна розглядати як єдине ціле (перенос

одиниці зі старшого розряду модуля суми в знаковий розряд не приводить до помилкового результату), але нуль як і раніше має два зображення – «додатне» і «від’ємне». Слід зазначити, що отриманий при додаванні від’ємний результат також утворюється в ОК. У цьому випадку число може бути перетворене у ПК інверсією всіх значущих розрядів (розрядів модуля). Наприклад:

$$\begin{array}{r}
 0.110 \\
 +\underline{1.001} \\
 \hline
 1.111_{(OK)} = 1.000_{(ПК)} \\
 (+6) + (-6) = (-0)
 \end{array}$$

*Додавання двійкових чисел із знаком.* Очевидно, що при додаванні чисел із знаком можуть виникати переноси одиниці із старшого розряду модуля суми до знакового розряду (домовимося позначати його  $P_1$ ) та із знакового розряду – ліворуч за межі розрядної сітки, у розряд переповнення ( $P_2$ ). Через використання розглянутих раніше кодів, у яких знак числа позначається тими ж цифрами, що і розряди модуля, переповнення розрядної сітки може виникати навіть у випадку додавання чисел із різними знаками, коли модуль результату не перевищує модуля будь-якого операнда. При додаванні ж двох від’ємних чисел перенесення одиниці до розряду переповнення відбувається завжди.

При виникненні переповнення розрядної сітки для одержання правильного результату додавання необхідно застосовувати таке правило:

- якщо  $P_1 \oplus P_2 = 0$ , одиниця в розряді переповнення ігнорується (відкидається);
- якщо  $P_1 \oplus P_2 = 1$ , необхідно зсунути число на один розряд праворуч (або зсунути позицію точки на один розряд ліворуч).

Додавання дробових і цілих двійкових чисел, поданих у формі з фіксованою комою, відбувається однаково, тобто порядок додавання не залежить від розташування коми. Тому операцію додавання розглянемо на прикладі додавання цілих чисел.

Приклади:

- 1) Додавання двох додатніх чисел (без переповнення розрядної сітки):

$$\begin{array}{r} 0.100111 \quad 39 \\ + 0.001101 \quad +13 \\ \hline 0.110100 \quad 52 \end{array}$$

$P_1 \oplus P_2 = 0$  – результат коректний і остаточний.

- 2) Додавання двох додатніх чисел (з переповненням розрядної сітки):

$$\begin{array}{r} 0.01101 \quad 13 \\ + 0.10011 \quad +19 \\ \hline 1.00000 \quad 32 \end{array}$$

$P_1 \oplus P_2 = 1$ . Результат некоректний, тому що відбулося переповнення розрядної сітки. Зсуваючи число на один розряд праворуч, остаточо маємо:  $0.100000_{(ПК)} = 32_{(10)}$ .

- 3) Додавання двох чисел із різними знаками (без переповнення розрядної сітки):

$$\begin{array}{r} 1.001100 \quad - 52 \\ + 0.001101 \quad + 13 \\ \hline 1.011001 \quad - 39 \end{array}$$

$P_1 \oplus P_2 = 0$ . Результат коректний, але тому що він є від'ємним, для перевірки правильності розв'язання необхідно перетворити його у прямий код. Остаточо маємо  $1.100111_{(ПК)} = 39_{(10)}$ .

- 4) Додавання двох чисел, рівних за модулем і різних за знаком:

$$\begin{array}{r} 1.011001 \quad - 39 \\ + 0.100111 \quad + 39 \\ \hline 10.000000 \quad 0. \end{array}$$

Детальна інформація у навчальному посібнику

## 2.2. Контрольні тести

1. Заповнити таблицю 2.1 згідно свого варіанту (всі переведення відобразити в зошиті):

Таблиця 2.1 – Завдання для переведення чисел згідно свого варіанту

| варіант | Число в десятковій системі | Число в двійковій системі | Число в шістнадцятковій системі | прямий код | обернений код | доповняльний код |
|---------|----------------------------|---------------------------|---------------------------------|------------|---------------|------------------|
| 1       | -257                       |                           |                                 |            |               |                  |
| 2       | -143                       |                           |                                 |            |               |                  |
| 3       | -29                        |                           |                                 |            |               |                  |
| 4       | -15                        |                           |                                 |            |               |                  |
| 5       | -47                        |                           |                                 |            |               |                  |
| 6       | -53                        |                           |                                 |            |               |                  |
| 7       | -41                        |                           |                                 |            |               |                  |
| 8       | -50                        |                           |                                 |            |               |                  |
| 9       | -38                        |                           |                                 |            |               |                  |
| 10      | -35                        |                           |                                 |            |               |                  |
| 11      | -32                        |                           |                                 |            |               |                  |
| 12      | -29                        |                           |                                 |            |               |                  |
| 13      | -26                        |                           |                                 |            |               |                  |
| 14      | -23                        |                           |                                 |            |               |                  |
| 15      | -20                        |                           |                                 |            |               |                  |
| 16      | -17                        |                           |                                 |            |               |                  |
| 17      | -14                        |                           |                                 |            |               |                  |
| 18      | -184                       |                           |                                 |            |               |                  |
| 19      | -135                       |                           |                                 |            |               |                  |
| 20      | -86                        |                           |                                 |            |               |                  |
| 21      | -37                        |                           |                                 |            |               |                  |
| 22      | -18                        |                           |                                 |            |               |                  |
| 23      | -45                        |                           |                                 |            |               |                  |
| 24      | -72                        |                           |                                 |            |               |                  |
| 25      | -99                        |                           |                                 |            |               |                  |

2. Здійснити перевірку, використовуючи калькулятор.

3. Машинне слово складається із 4-ох байтів, перший з яких відводиться для запису  $M_p$  і знаку числа. Подати в цьому слові десяткове число згідно свого варіанту:

Таблиця 2.2 – Таблиця з варіантами

| Варіант | Число в<br>десятковій<br>системі | Знак | $M_p$ | Мантиса | Число в<br>десятковій<br>системі | Знак | $M_p$ | Мантиса |
|---------|----------------------------------|------|-------|---------|----------------------------------|------|-------|---------|
| 1       | 3764,794                         |      |       |         | -2764,54                         |      |       |         |
| 2       | 4420,493                         |      |       |         | -3420,239                        |      |       |         |
| 3       | 5076,192                         |      |       |         | -4075,938                        |      |       |         |
| 4       | 8354,687                         |      |       |         | -7354,433                        |      |       |         |
| 5       | 11633,18                         |      |       |         | -10632,928                       |      |       |         |
| 6       | 14911,68                         |      |       |         | -13911,423                       |      |       |         |
| 7       | 18190,17                         |      |       |         | -17189,918                       |      |       |         |
| 8       | 21468,67                         |      |       |         | -20468,413                       |      |       |         |
| 9       | 24747,16                         |      |       |         | -23746,908                       |      |       |         |
| 10      | 28025,66                         |      |       |         | -27025,403                       |      |       |         |
| 11      | 5076,192                         |      |       |         | -4075,938                        |      |       |         |
| 12      | 5731,891                         |      |       |         | -4731,637                        |      |       |         |
| 13      | 6387,59                          |      |       |         | -5387,336                        |      |       |         |
| 14      | 7043,289                         |      |       |         | -6043,035                        |      |       |         |
| 15      | 7698,988                         |      |       |         | -6698,734                        |      |       |         |
| 16      | 8354,687                         |      |       |         | -7354,433                        |      |       |         |
| 17      | 9010,386                         |      |       |         | -8010,132                        |      |       |         |
| 18      | 9666,085                         |      |       |         | -8665,831                        |      |       |         |
| 19      | 10321,78                         |      |       |         | -9321,53                         |      |       |         |
| 20      | 10977,48                         |      |       |         | -9977,229                        |      |       |         |
| 21      | 11633,18                         |      |       |         | -10632,928                       |      |       |         |
| 22      | 12288,88                         |      |       |         | -11288,627                       |      |       |         |
| 23      | 12944,58                         |      |       |         | -11944,326                       |      |       |         |
| 24      | 13600,28                         |      |       |         | -12600,025                       |      |       |         |
| 25      | 14255,98                         |      |       |         | -13255,724                       |      |       |         |

4. Переведіть мантиси з попереднього завдання в 16-ковий код.
5. Що таке система числення?
6. Які типи систем числення ви знаєте?
7. Що таке основа позиційної системи числення?

8. У чому полягає проблема вибору системи числення для подання чисел у пам'яті комп'ютера?
9. Яка система числення використовується для подання чисел у пам'яті комп'ютера? Чому?
10. Яким чином здійснюється перевід чисел, якщо основа нової системи числення дорівнює деякому степеню старої системи числення?
11. За яким правилом переводяться числа з десяткової системи числення?
12. За яким правилом переводяться числа в десяткову систему числення?
13. Що таке числовий код?
14. Способи представлення від'ємних чисел?
15. Скільки є форматів представлення двійкового числа для Pentium?

## ТЕМА 2 ДИСКРЕТИЗАЦІЯ АНАЛОГОВИХ СИГНАЛІВ

### Лекція 3. Дискретизація аналогових сигналів

- 3.1. Дискретизація сигналів
- 3.2. Квантування за рівнем
- 3.3. Квантування за часом
- 3.4. Квантування за рівнем та за часом
- 3.5. Розрахунок похибки
- 3.6. Вибір величини кроку квантування за часом

#### 3.1. Дискретизація сигналів

В управлінні інформаційними системами часто виникає завдання обробки аналогового повідомлення, які знімаються з аналогового датчиків. Введення цієї інформації в комп'ютер, каталог, обробка в цифровій формі, виконує дискретизація (квантування) аналогових сигналів.

Найбільш поширені і загальноприйняті методи обробки сигналів в подальших викладах.

Розрізняти три види дискретизації:

- за рівнем;
- за часом;
- за рівнем і часом (комбінована).

Розглянемо кожен з цих видів квантування більш докладно.

#### 3.2. Квантування за рівнем

Вважаєм, що інформація відображається аналоговою (безперервною) напругою  $U(t)$ , яка повільно змінюється відповідно до закону, представлена на рисунку 3.1 [2].

Миттєві значення напруги знаходяться в діапазоні  $(U_{\min} = 0) \cdot U_{\max}$ . Під час виконання операції квантування на рівні діапазон змінювання значень безперервних величин ділиться на кілька рівнів  $N_u$ , включаючи 0. Кількість  $N_u$  визначається з виразу:



$$N_y = \frac{U_{\max} - U_{\min}}{\Delta U} + 1, \quad (3.1)$$

де,  $\Delta U$  – значення кроку квантування за рівнем. При цьому останнє є постійною величиною ( $\Delta U = const$ ) і визначає необхідну похибку дискретизації. У нашому прикладі,  $N_y = 5$ . Кожен рівень пронумерований у десятковій системі числення. Робота квантування приводиться до наступного: вона визначає моменти часу, коли вхідний аналоговий сигнал досягає наступного дискретного рівня.

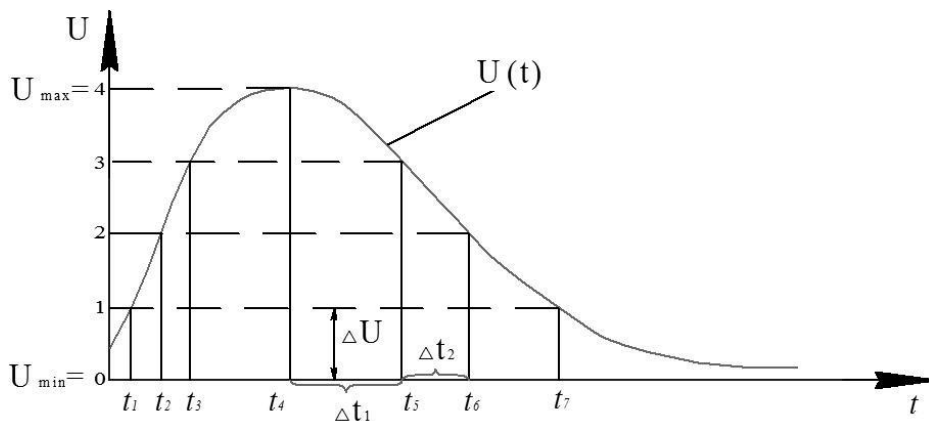


Рисунок 3.1 – Квантування сигналу за рівнем

Ці моменти позначені  $t_0, t_1, t_2, t_3, \dots$ , зрозуміло, що коли нелінійному вхідному сигналі інтервал між суміжними тимчасовими відрахунками є змінною величиною ( $\Delta t = var$ ). Прикладом пристроїв, в яких відбувається квантування за рівнем є релейні (порогові) пристрої.

### 3.3. Квантування за часом

Квантування операції за часом (рисунок 3.2) постійного вхідного сигналу замінений решітчастим (дискретним), який знімається з виходу квантування в дискретні моменти часу  $t_1, t_2, t_3, \dots$ , інтервал між сусідніми моментами часу  $\Delta t = t_1 - t_0 = t_2 - t_1 = \dots = const$ .

Зрозуміло, що різниця між сусідніми значеннями вхідного сигналу в нелінійному закону зміни вхідної напруги змінна величина ( $\Delta U = var$ ). Прикладом

пристроїв, в яких квантування за часом, є імпульсні системи автоматичного керування [3].

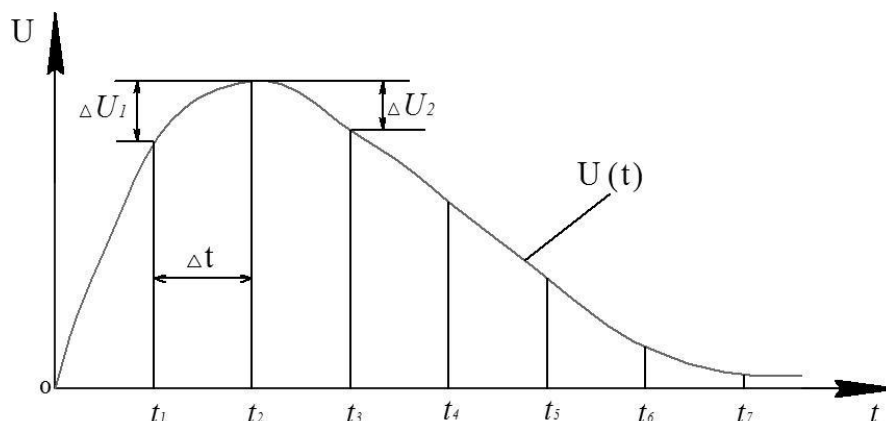


Рисунок 3.2 – Квантування сигналу за часом

### 3.4. Квантування за рівнем і за часом

Робота такого перетворювача (рисунок 3.3) приводить до того, що з безперервного сигналу періодично проводяться вибірки миттєвих значень. Проміжок часу між суміжними вибірками  $\Delta t = const.$ , кожна вибірка округлюється перетворювачем до найближчого рівня квантування, отримана від дискретизації за рівнем. Інтервал між суміжними рівнями  $\Delta U = const.$

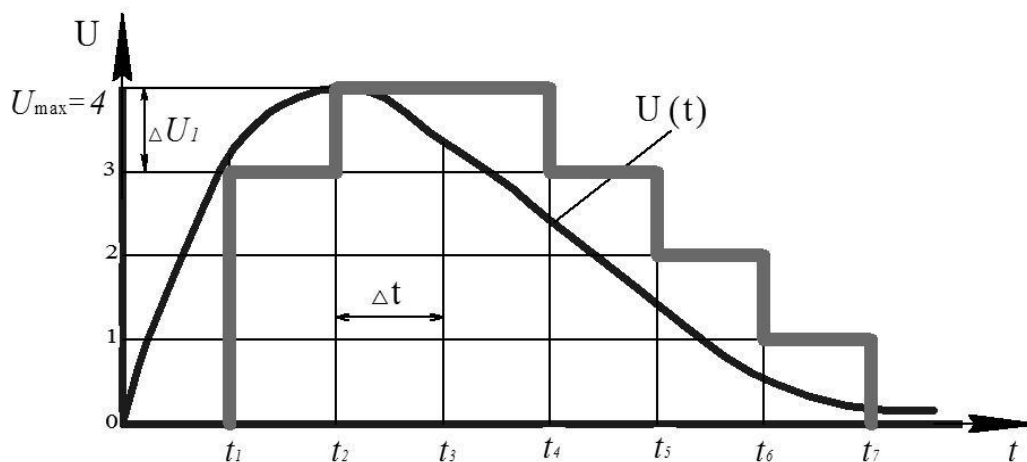


Рисунок. 3.3 – Квантування сигналу за рівнем і часом

Значення за рівнем представлене в десятковій або двійковій системі числення (десятковий або двійковий код). Код за рівнем, в свою чергу, видається цифровим

сигналом. Вихідний сигнал має ступінчасту форму і з ступенем точності, яка відповідає аналогові напруги. На цьому принципі працює електронні аналого-цифрові перетворювачів (АЦП) [4, 5].

### 3.5. Розрахунок похибки АЦП

На виході АЦП кожному дискретному значенню відповідає поєднання двійкового коду, число розрядів якого (включаючи 0) позначається буквою  $N_p$ . Вибір  $N_p$  проводиться у відповідності до вимог:

$$2^{N_p} \geq N_D. \quad (3.2)$$

Кількість дискретних значень  $N_D$  (рівень квантування) залежить від похибки квантування за рівнем.

Абсолютної похибки, коли з'являються квантування за рівнем:

$$\delta_{абс.} \leq \frac{\Delta U}{2}, \quad (3.3)$$

де,  $\Delta U$  – величина кроку квантування за рівнем дорівнює:

$$\Delta U = \frac{U_{ex.max} - U_{ex.min}}{N_D - 1}. \quad (3.4)$$

З вище написаного випливає, що максимальне відношення абсолютної похибки дорівнює половині кроку квантування за рівнем. Відносна похибка квантування за рівнем:

$$\delta_{від.} \leq \frac{50}{N_D - 1} \%, \quad (3.5)$$

де,  $N_d$  – число дискретних значень вихідних величин (рівнів квантування). У рівнянні (3.5) з  $N_d$  віднімається одиниця тому, що одна з дискретних значень (рівнів) є нуль (цифра 2.3). Отже, необхідну кількість рівнів дискретних значень, які відображають неперервну функцію з вказаного точністю, визначається з виразу:

$$N_d = N_y \geq \frac{50}{\delta_{від.}} + 1. \quad (3.6)$$

### 3.6. Вибір величини кроку квантування за часом

Величина кроку квантування за часом  $\Delta t$ , визначає необхідну продуктивність АЦП, розрахований відповідно до теореми вибірки відліку (теорема Котельнікова):

$$\Delta t \leq \frac{1}{2 \cdot F_{max}}, \quad (3.7)$$

де,  $F_{max}$  – частота вищих гармонік вхідного аналогового сигналу частотного спектру. Іншими словами при переміщенні до дискретних величин найбільших для гармонійних компонентів вхідного сигналу, має мінімальний період (максимальна частота), необхідно і прийняти принаймні два відрахунка.

Будь-які АЦП є інерційним пристроєм, які мають кінцевий час перетворення  $t_{прб}$ , а також відповідає потрібному значенню  $\Delta t$ .

Якщо аналоговий вхідний сигнал змінюється досить швидко, і в АЦП має неналежної роботи, то може з'явитися похибка, що зміна часу перетворення АЦП вхідного сигналу еквівалентно зміни вихідного ДК, більш ніж на одиницю МЗР. Для боротьби з цим явищем використовується пристрій вибірки-збереження, що пам'ятають миттєве значення вхідного аналогового сигналу на даний момент тимчасової вибірки і підтримує значення постійним до наступної вибірки.

При проектуванні на комп'ютеризованій системи часто виникає обернена задача: перетворення цифрового сигналу в аналоговий (безперервний). Для цього застосовують цифро-аналогові перетворювачі (ЦАП).

## **ТЕМА 3. АЛГЕБРА ЛОГІКИ І СИНТЕЗУ ЦИФРОВИХ ЕЛЕКТРОННИХ СХЕМ**

### **Лекція 4. Алгебра логіки**

- 4.1. Основні положення алгебри логіки.
- 4.2. Основні закони формальної логіки.
- 4.3. Аксиоми алгебри.
- 4.4. Основні тотожності.
- 4.5. Функції однієї змінної.
- 4.6. Функції двох змінних.

#### **4.1. Основні положення алгебри логіки**

*Алгебра логіки* є математичний апарат, за допомогою якого використовується синтез і аналіз логічних схем. В якості структурного алфавіту вибирають, як правило алфавіт, що складається з двох елементів. Такий алфавіт називається двійковим, а його букви відповідають числам 0 і 1.

Слід зазначити, що використання двійкового алфавіту як структурного алфавіту в цифрових машинах, де він використовується для оцінки внутрішній стан і стан вхідний і вихідний ланцюгів не слід плутати з двійкової системи числення для представлення чисел.

У сучасних цифрових машинах найбільш часто використовуються такі зображення елементарних сигналів, структурного алфавіту бінарних компонентів:

- наявність імпульсу електронного струму і відсутності імпульсу електричного струму;
- високий електричний потенціал і низькою електричний потенціал;
- електричний струм великої сили і електричні струму малої сили;
- імпульси позитивної та негативної полярності.

У синтезі комбінаційними схемами в двійковому структурному алфавіту стані таких схем, визначені за допомогою функцій, які приймають тільки два значення 0 і 1 [6].

Скажімо далі, що змінні, які можна взяти тільки два значення 0 і 1 і залежить від змінних, кожен з яких може прийняти тільки два значення 0 і 1.

Скажімо далі, що змінні, які можна взяти тільки два значення 0 і 1 називаються двійковими чи логічними змінними.

Змінні можна зробити три основні умови:

- логічне додавання ;
- логічне множення;
- логічне заперечення це відповідає логічним функцій АБО; І; НЕ.

*Логічне додавання (диз'юнкція)* позначається символом «+» або (V).

*Логічне додавання (кон'юнкція)* позначається точкою або символом  $\wedge$ , & або в буквальному виразі не позначається.

*Логічне заперечення (інверсія)* позначається рискою над символом елемента.

Функція будь-якої скінченної кількості двійкові змінні здатні також приймати два значення 0 і 1, зазвичай називають *перемикальними чи логічними* функціями.

Область визначення булевої функції від ( $n$ ) змінних служить сукупність з  $n$ -мірних впорядкованої множини (вектори розмірності  $n$ ), компонентами яких є букви двійкового алфавіту 0 і 1. Ці набори вхідних змінних називають *кортежами* або *точками*.

Для будь-якого  $n = 1; 2; 3; \dots$  серед  $n$ -мірні двійкові набори можна ввести *лексикографічну* (природну) впорядкованість, враховуючи будь-який двійковий набір чисел представлення для деяких невід'ємне ціле число бінарних системах числення.

*Наприклад, для  $n=4$ , набір 1110 представляє число  $0 \cdot 2^0 + 1 \cdot 2^1 + 1 \cdot 2^2 + 1 \cdot 2^3 = 14$ , а набір 0101 – число  $1 \cdot 2^0 + 0 \cdot 2^1 + 1 \cdot 2^2 + 0 \cdot 2^3 = 5$ .*

Число, за яким, подано даний набір (розглядається як двійковий код), умовно, називають *номером* цього набору.

Число змінних, які входять до складу набору, будемо називати *розмірність* цього набору.

Природний порядок  $n$ -мірних наборів (двійкові), ми отримуємо розміщуючи ці набори за зростанням їх номерів.

Наприклад,  $n = 3$ , він буде виглядати наступним чином:

Як ви можете бачити, перший в цьому місці буде нульовий набір (всі компоненти, які дорівнюють нулю), останній - одиничний набір (всі компоненти, які є одиниці).

Двійковий набір повністю визначається його номер та його розмірність. Розмірність набору  $n$  нумеруються цілими числами від 0 до  $2^{n-1}$ . При цьому, це точно  $2^n$  двійковий  $n$ -мірних наборів ( $n = 1; 2; 3.$ ) і має точно  $2^{2^n}$  різні булевих функцій від  $n$  змінних ( $n = 1; 2; 3; \dots$ ).

Таблиця 4.1. Таблиця наборів  $N = 3$

| Набори | Номер |
|--------|-------|
| 000    | 0     |
| 011    | 1     |
| 010    | 2     |
| 011    | 3     |
| 100    | 4     |
| 101    | 5     |
| 110    | 6     |
| 111    | 7     |

Наприклад,  $n=3$ , маємо число наборів  $2^3 = 8$ ; кількість булевих функцій від  $n$  змінні  $2^8 = 256$ .

Серед булевих функцій від  $n$  змінні знайдено функції так званий *втрачених і невтрачених* функцій.

*Невтрачені функції* такі  $n$ -змінні функцій, які залежать від всіх цих змінних:

$$y = abc, n = 3. \tag{4.1}$$

*Втрачені функції* є ті, які містять в своєму складі менш ніж  $n$  змінні:

$$y = abc, n = 3.$$

#### 4.2. Основні закони формальної логіки

Існують чотири пари основних законів:

- два переміщувальних;
- два з'єднувальних;
- два розподілу;
- два інверсій;

*Переміщувальний закон (закон комунікативності).*

Порядок розміщення змінних не впливають на логічну суму та логічні:

$$\bar{a} + b = b + \bar{a}; ab = ba \quad (4.2)$$

*З'єднувальний (Закон асоціативності)*

*Результатом послідовного додавання або множення кількох змінних не залежить від порядку цих дій (тобто в математичних виразах суми і не потрібно писати в дужках):*

$$(a + b) + c = a + (b + c); (ab) \cdot c = a \cdot (bc) \quad (4.3)$$

*Розподільний (дистрибутивний закон).*

*Розподільний закон щодо додавання вказує на те, що загальний множник завжди можна винести за дужках:*

$$ac + bc = c(a + b) \quad (4.4)$$

Цей закон, як і попередні подібний аналогічному закону звичайної алгебри. Однак, розподільний закон відносно множення не містить аналогічного в звичайній алгебрі:

$$(a + b)(b + c) = ac + b \quad (4.5)$$

*Закон інверсії (закон заперечення).*

Інверсія суми вхідних елементів дорівнює добутку цих змінних:

$$\overline{\overline{a + b}} = \bar{a} \cdot \bar{b}, \text{ а добуток інверсії вхідних змінних дорівнює сумі інверсій змінних:}$$
$$\overline{a \cdot b} = \bar{a} + \bar{b};$$



Коли будь-яке число більше двох змінних, застосовується інший вид закону заперечення – *правило де Моргана*:

$$\begin{aligned} \overline{a + b + c + \dots} &= \bar{a} \cdot \bar{b} \cdot \bar{c} \dots \\ \overline{a \cdot b \cdot c \dots} &= \bar{a} + \bar{b} + \bar{c} \dots \end{aligned} \quad (4.16)$$

### 4.3. Аксиоми алгебри

- 1)  $1 + 1 = 1;$        $1 \cdot 1 = 1;$
- 2).  $0 + 0 = 0;$        $0 \cdot 0 = 0;$
- 3).  $1 + 0 = 1;$        $1 \cdot 0 = 0;$
- 4).  $\bar{1} = 0;$        $\bar{0} = 1$  (закон константи)
- 5).  $a + \bar{b} = b + \bar{a}$

### 4.4. Основні тожності алгебри логіки

Під час перетворення алгебраїчних логічних функцій, а також закони алгебри логіки широко використовуються наслідки цих законів (які іноді називають додаткові закони або правилами перетворення). Перші п'ять з них є елементарними висловами:

1. *Нульова множина (Закон додавання та множення 0):*

$$a \cdot 0 = 0; \quad a + 0 = a; \quad 0 \cdot a \cdot c \cdot b = 0.$$

2. *Універсальна множина (закон додавання та множення на 1):*

$$\begin{aligned} 1 \cdot a &= a; \\ 1 + a &= 1; \\ 1 + a + b + c &= 1. \end{aligned}$$

3. *(Закон ідентичності). Повторення:*

$$\begin{aligned}
 a \cdot a &= a \\
 a + a &= a & n \cdot a &= a \\
 a^n &= a
 \end{aligned}$$

4. Доповнення (Закон протиріччя):

$$a \cdot \bar{a} = 0; a + \bar{a} = 1$$

5. Подвійний інверсія (Закон подвійного заперечення):

$$\bar{\bar{a}} = a$$

Крім того існує складніша логіка конструкції, яка відіграє велику роль у перетворенні структурних формул, на основі базових висловлювань:

6. Закону поглинання:

$$\begin{aligned}
 a + b &= a \cdot (1 + b) = a; a \cdot (a + b) = a \\
 a \cdot (a + b) \cdot (a + c) \dots (a + z) &= a
 \end{aligned}$$

7. Просто склеювання:

$$\begin{aligned}
 ab + a\bar{b} &= a \\
 (a + b) \cdot (a + \bar{b}) &= a
 \end{aligned}$$

8. Узагальнене склеювання:

$$\begin{aligned}
 ab + \bar{a}c + bc &= ab + \bar{a}c; \\
 (a + b) \cdot (\bar{a} + c) \cdot (b + c) &= (a + b) \cdot (\bar{a} + c) = \bar{a}b + ac; \\
 c \cdot (b + \bar{a}) + ba &= \bar{a}c + ab; \\
 a \cdot (\bar{a} + b) &= ab; \\
 \bar{a} \cdot (a + b) &= \bar{a}b; \\
 a + \bar{a}b &= (a + \bar{a}) \cdot (a + b) = a + b; \\
 \bar{a} + a\bar{b} &= (a + \bar{a}) \cdot (\bar{a} + b) = \bar{a} + b
 \end{aligned}$$

## 9. Теорема де Моргана

$$\overline{abc\dots z} = \bar{a} + \bar{b} + \bar{c} + \dots + \bar{z};$$

$$\overline{a + b + c + \dots + z} = \bar{a} \cdot \bar{b} \cdot \bar{c} \cdot \dots \cdot \bar{z}$$

### 4.5. Функцій однієї змінної

Протягом інтервал зміни аргументу має чотири функції з однією змінною, яка називається нульовою, одиничною, повторення і заперечення (таблиці 4.2 та 4.3).

Нульова і одинична функція є константами. Функція,  $Y_0$  називається *нульовою*, якщо вона дорівнює нулю при будь-якому значенні аргументу  $a$ . Аналогічно,  $Y_3$  називається *одиничною функцією*, якщо вона завжди приймає одиницю при будь-якому значенні аргументу  $a$ .

Таблиця 4.2 – Таблиця істинності для функції однієї змінної

| Аргумент | Функцій і їх номери |       |       |       |
|----------|---------------------|-------|-------|-------|
| $a$      | $Y_0$               | $Y_1$ | $Y_2$ | $Y_3$ |
| 0        | 0                   | 0     | 1     | 1     |
| 1        | 0                   | 1     | 0     | 1     |

Таблиця 4.3 – Назва і позначення функцій однієї змінної

| № функції | Найменування функції              | Символ    | Формула           | РКС Реалізації  |
|-----------|-----------------------------------|-----------|-------------------|---|
| $Y_0$     | нульова                           | 0         | $\bar{a} \bar{a}$ |  |
| $Y_1$     | співпадання повторення тотожність | $a$       | $a$               |  |
| $Y_2$     | інверсія заперечення «НІ»         | $\bar{a}$ | $\bar{a}$         |  |
| $Y_3$     | одинична                          | 1         | $a + \bar{a}$     |  |

Нульова функція може бути цілком постійним відключення навантаження від джерела живлення, а одинична постійним включенням навантаження до джерела живлення.

Стосовно схем на контакт елементів одинична функція означає постійно замкнутий ланцюг, а нульова функція є постійно роз'ємним ланцюгом.

Для звітності  $a$  і  $y$  будемо називати рівними (ідентичні) і записувати  $Y_1 = a$ , якщо вони одночасно істинні (1), і одночасно неправдиві (0). Елемент, який реалізує цю функцію, називається *повторювальним*, а  $y$  – називається запереченням (або інверсія) виразу  $a$  і записується:  $y_2 = \bar{a}$ , якщо  $y$  – істина, коли  $a$  – хибне і  $y$  – хибне, коли  $a$  – істина. Логічний елемент носить назву *інвертор* або елемент, *НІ*.

#### 4.6. Функції двох змінних

Функції двох змінних, так само як функцій однієї змінної, є основні функції алгебри логіки, тому що ці функції можуть бути узагальнені функції будь-якого числа з змінних.

Як у випадку з функції однієї змінної, функції двох змінних на відповідному набору можуть приймати значення: *нульової одиничної, повторення і заперечення*.

Тобто, на додаток до змінних, мають місце логічні конструкції, характерні тільки для випадку  $n \geq 2$  змінні. До них відносяться: *диз'юнкція, кон'юнкція, імплікація, еквівалентність, заперечення кон'юнкції, заперечення диз'юнкція, і заборона*.

## Лекція 5. Логічні елементи

- 5.1. Базисні логічні елементи
- 5.2. Принцип двійкової булевої алгебри
- 5.3. Диз'юнктивна нормальна форма (ДНФ)
- 5.4. Кон'юнктивна нормальна форма (КНФ)
- 5.6. Мінімізація логічних функцій за допомогою діаграм Вейча та карт Карно

### 5.1. Базисні логічні функції

Будь-яка логічна функція може бути представлена сукупністю елементарних логічних функцій: диз'юнкція, кон'юнкція, або їх суперпозиції інверсії. Набору елементарних функцій АБО, І, НІ називають функціонально завершена або базисна (базисом). Крім того, існують два базиса: І-НІ; АБО-НІ.

### 5.2. Принцип двійкової булевої алгебри

Якщо у виразі  $F_8 = A \wedge B$  кон'юнкцію замінити на диз'юнкцію і проінвертувати двох змінних, у результаті виявляється бути попереднє значення інверсії функції  $\overline{F_8} = \overline{A} \vee \overline{B}$ . Аналогічним чином, якщо вираз  $F_{14} = A \vee B$  диз'юнкцію замінити на кон'юнкцію і проінвертувати обох змінних, у результаті виявляється інверсія попереднього значення функції  $\overline{F_{14}} = \overline{A} \wedge \overline{B}$ .

Вказані властивості логічних функцій відображають принцип *двоїстості булевої алгебри*.

### 5.3 Диз'юнктивна нормальна форма (ДНФ)

Якщо вираз (3.10) на всі або деякі із кон'юнкціях відсутні окремі змінні (прямий або обернений форми) або ряд кон'юнкцій, які відображають конституанти одиниці, відсутні, тоді така форма презентації логічного виразу називається диз'юнктивна нормальна форма (ДНФ).

Перемикання функції можна описати кілька булевими виразами в ДНФ, один з яких є мінімальним (містить мінімум кон'юнкцій і мінімум вхідних змінних).

#### **5.4. Кон'юнктивна нормальна форма (КНФ)**

Якщо вираз (3.4) всі диз'юнкція або деякі з них не містять всіх змінних у пряме або оберненому вигляді, а також деякі диз'юнкція відсутні, тоді така форма представлення булевих виразів, називається кон'юнктивною нормальною формою (КНФ).

Перемикальна функція може описуватись кількома бульовими виразами в КНФ, один з яких є мінімальним (містить мінімум диз'юнкцій і мінімум вхідних змінних).

#### **5.5. Мінімізація логічних функцій за допомогою діаграм Вейча та карт**

##### **Карно**

Мінімізація спрощення називається аналітичний вираз, який представляє перемикач (логічний) функції, щоб гарантувати, що булеві вирази перемикальної функції містить мінімальну кількість членів з мінімальною кількістю змінних.

Способів, щоб звести до мінімуму:

- алгебраїчний;
- за допомогою діаграми Вейча та карти Карно.

## ТЕМА 4 ЛОГІЧНІ ЕЛЕМЕНТИ

### Лекція 6. Основи будови логічних елементів

6.1. Логічні елементи

6.2. Логічний елементи «НІ; І; АБО»

6.3. Повторювач

6.4. Логічний елемент «І-НЕ; АБО – НІ; Виключаючи АБО »

6.5. Логічні функції «сумування по модулю два; Еквівалентність; І-АБО-НЕ; Нееквівалентність; Заборона»

#### 6.1. Логічні елементи

Для апаратної реалізації булевих виразів використовується деякий набір логічних елементів [7], які випускаються у вигляді інтегральних мікросхем (ІМС). Існують спеціалізовані ІМС, розроблені методами інтегральної технології спеціально для отримання необхідної логічної залежності. Спеціалізовані ІМС не потребують ніяких паяних між'єднань і мають високу надійність. Однак розробка схожих мікросхем економічно виправдана лише при великому об'ємі випуску. Прикладом може слугувати масовий випуск спеціалізованих ВІС для електронних годинників, мікрокалькуляторів тощо.

Крім спеціалізованих ІМС існує універсальний набір логічних елементів у вигляді ІМС, забезпечуючий реалізацію будь-яких логічних функцій. До цього набору можна віднести: інвертор; кон'юктор; диз'юнктор; повторювач; І-НІ; АБО-НІ; виключаючи АБО; сумування по модулю два (непарність); сумування по модулю два з відмовою (парність); еквівалентність; нееквівалентність; І-АБО-НІ; заборона та ін.

#### 6.2. Логічний елементи «НІ; І; АБО

Інвертор реалізує логічну функцію:

$$F = \bar{A}. \quad (6.1)$$

Нижче показані його позначення на електричних схемах (рисунок. 6.1,а) і принципова схема (рисунок. 6.1,б).

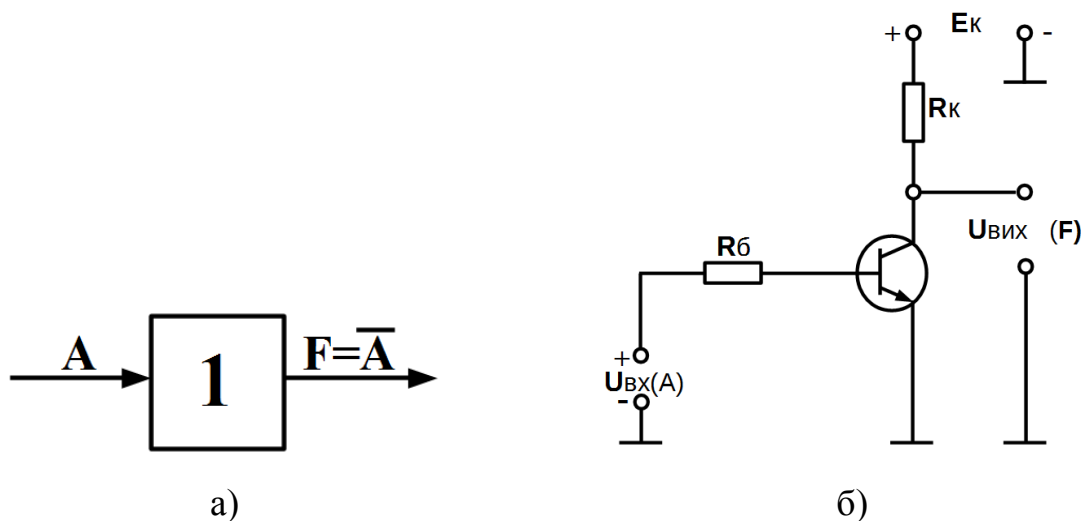


Рисунок. 6.1 – Схема логічного елемента «НІ» на транзисторній базі: а) – функціональна; б) – принципова

*Логічний елемент «І»*

Кон'юктор реалізує логічну функцію:

$$F = A \wedge B = A \cdot B. \tag{6.2}$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.2, а), принципова схема (рисунок 6.2,б) і таблиця істинності (таблиця. 6.1).

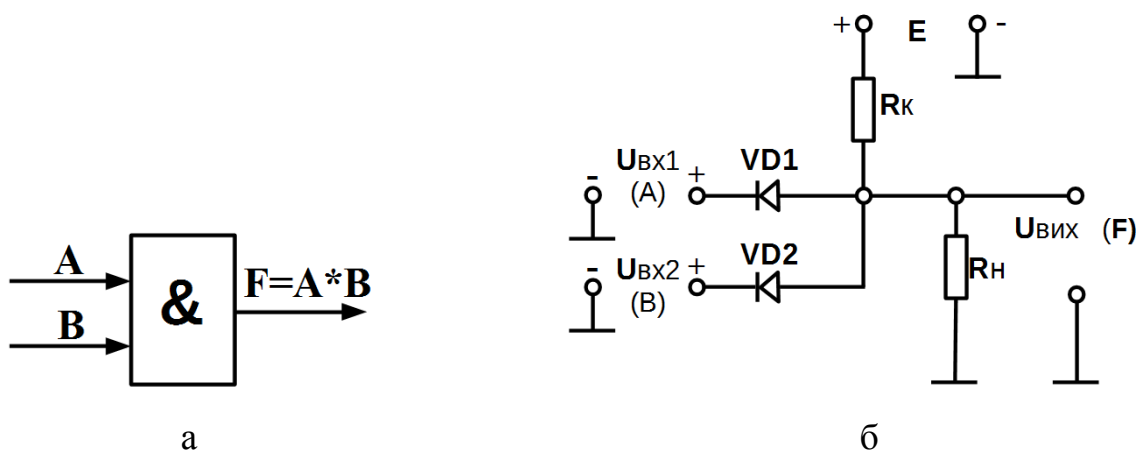


Рисунок 6.2 – Схема логічного елемента «І» на діодній елементній базі: а) функціональна схема; б) принципова схема



Таблиця 6.1 – Таблиця істинності

| № набору | B | A | F |
|----------|---|---|---|
| 0        | 0 | 0 | 0 |
| 1        | 0 | 1 | 0 |
| 2        | 1 | 0 | 0 |
| 3        | 1 | 1 | 1 |

Термін «логічний» зазвичай використовують по відношенню до процедури прийняття рішення. В такому випадку, можна сказати, що логічний елемент – це така схема, яка «основуючись» на вхідних сигналах, «може вирішувати», що їй відповісти на виході – «так» або «ні».

Схема кон'юктора на рисунку 6.2,б відповідає «так» (на виході з'являється високий рівень напруги) тільки в такому випадку, коли на обидва її входи подані сигнали «так» (обидві вхідні напруги мають високий рівень).

На рисунку 6.3, показана схема дослідження логічного елемента «І» в лабораторних умовах.

Входи логічного елемента підключені до ключів SA<sub>1</sub> і SA<sub>2</sub>. Індикатором виходу служить світлодіод. Якщо на входах А і В виникають сигнали низького логічного рівня (земля), то світлодіод не випромінює. Цю ситуацію відображає перший рядок(строка) таблиці 6.2.

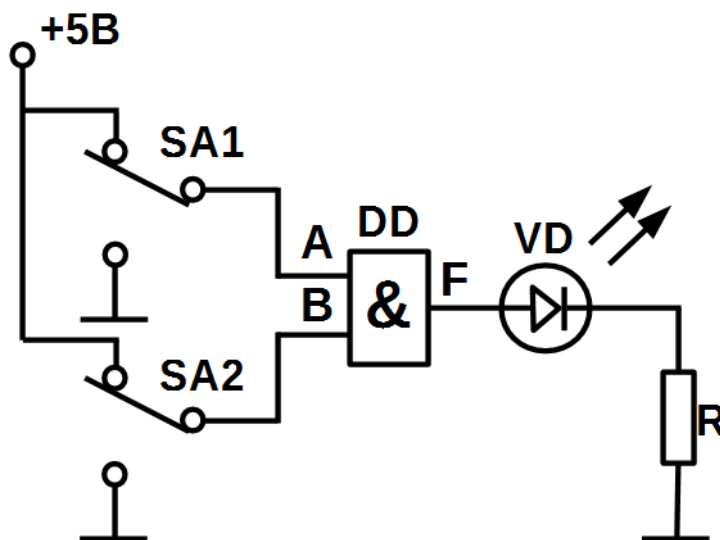


Рисунок. 6.3 – Функціональна схема двовхідного логічного елемента «І» з індикацією вихідного сигналу

Крім значень рівнів напруги і відмітки наявності випромінювання вхідні і вихідні сигнали в таблиці 6.2 позначені двоюрими (двійковими) числами: 0 і 1. Згідно

рядку 1, якщо на обидва входи подані двоякі нулі, то на виході логічного елементу також виникає двоякий нуль. Двояка одиниця на виході елемента І з'являється тільки в тому випадку, коли на обидва входи А і В подані двоякі одиниці.

Таблиця. 6.2 – Таблиця істинності

|         | Входи             |                   |                   |                   | Вихід              |                   |
|---------|-------------------|-------------------|-------------------|-------------------|--------------------|-------------------|
|         | В                 |                   | А                 |                   | F                  |                   |
|         | Рівень<br>напруги | Двоякий<br>сигнал | Рівень<br>напруги | Двоякий<br>сигнал | Випромін<br>ювання | Двоякий<br>сигнал |
| Рядок 1 | Низький           | 0                 | Низький           | 0                 | Ні                 | 0                 |
| Рядок 2 | Низький           | 0                 | Високий           | 1                 | Ні                 | 0                 |
| Рядок 3 | Низький           | 1                 | Низький           | 0                 | Ні                 | 0                 |
| Рядок 4 | Високий           | 1                 | Високий           | 1                 | Є                  | 1                 |

Двоякі одиниці, або напруги високого рівня, в точках А, В або F відповідає потенціал +5В вносно землі. Двоякий нуль, або напруга низького рівня, в точках А, В або F відповідає потенціалу землі (точніше, близько до потенціалу землі, тобто до нуля). Ми використовуємо тут так звану «позитивну логіку», оскільки для отримання двоякої одиниці використовується позитивна напруга +5В. При роботі з цифровими електронними пристроями ми частіше за все будемо мати справу з «позитивною логікою».

### Логічний елемент «АБО»

Диз'юнктор реалізує логічну функцію

$$F = A \vee B = A + B. \quad (6.3)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.4,а), принципіальна схема (рисунок. 6.4,б) і таблиця істинності (таблиця 6.3).

Таблиця 6.3 – Таблиця істинності

| № набору | B | A | F |
|----------|---|---|---|
| 0        | 0 | 0 | 0 |
| 1        | 0 | 1 | 1 |
| 2        | 1 | 0 | 1 |
| 3        | 1 | 1 | 1 |

Відмінність логічного елемента «АБО» полягає тому, що на його виході з'являється сигнал низького рівня тільки тоді, коли на всі його входи подаються також сигнали низького логічного рівня.

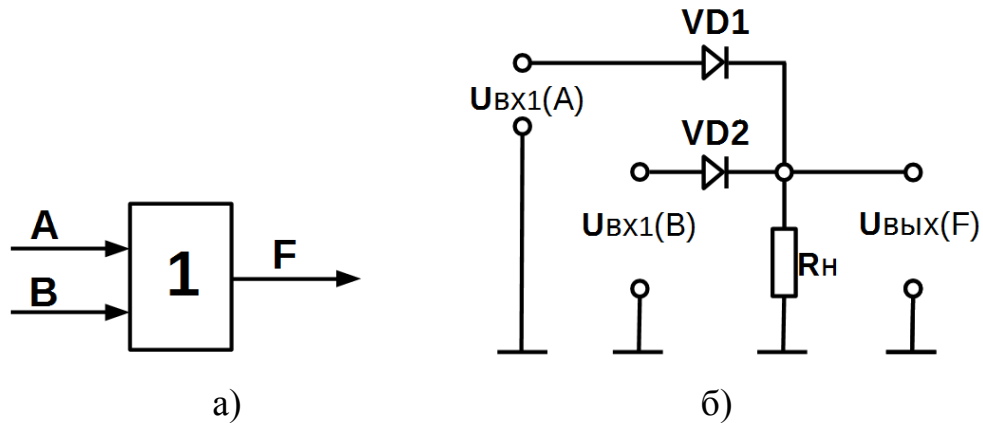


Рисунок. 6.4 – Схема логічного елемента «АБО» на діодній елементній базі: а) функціональна схема; б) принципова схема

### 6.3. Повторювач

Реалізує логічну функцію:

$$F = A. \quad (6.4)$$

Його позначення на електричних схемах показано на рисунку 4.5.

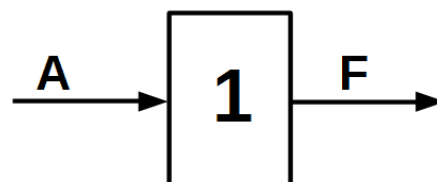


Рисунок. 6.5 – Функціональна схема повторювача

Повторювач не виконує ніяких логічних перетворень і використовується для підвищення завантажувальної здатності окремих виходів ІМС або виконує функцію елемента затримки, яка рівна часу розповсюдження сигналу через нього.

#### 6.4. Логічний елемент «І-НІ; АБО-НІ; ВиключаючіАБО»

Елемент І-НІ реалізує логічну функцію

$$F = \overline{A \cdot B} = \overline{A \wedge B} \quad (6.5)$$

Нижче показані(наведені) його позначення на електричних схемах [6] (рисунок 6.6,а), принципіальна схема (рисунок 6.6,б) і таблиця істинності (таблиця 6.4).

Таблиця 6.4 – Таблиця істинності

| № набору | B | A | F |
|----------|---|---|---|
| 0        | 0 | 0 | 1 |
| 1        | 0 | 1 | 1 |
| 2        | 1 | 0 | 1 |
| 3        | 1 | 1 | 0 |

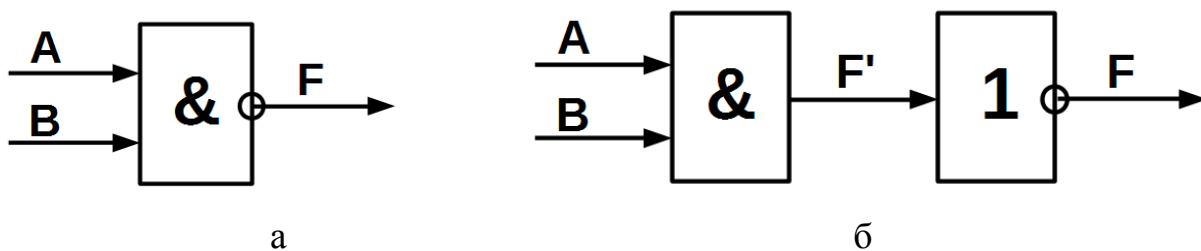


Рисунок 6.6 – Функціональні схеми логічного елемента «І-НІ», які виконані в різних формах

#### Логічний елемент «АБО-НІ»

Елемент АБО-НІ реалізує логічну функцію:

$$F = \overline{A + B} = \overline{A \vee B} \quad (6.6)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.7,а), принципіальна схема (рисунок. 6.7,б) і таблиця істинності (таблиця 6.5).

Таблиця 6.5 – Таблиця істинності

| № набору | B | A | F |
|----------|---|---|---|
| 0        | 0 | 0 | 1 |
| 1        | 0 | 1 | 0 |
| 2        | 1 | 0 | 0 |
| 3        | 1 | 1 | 0 |

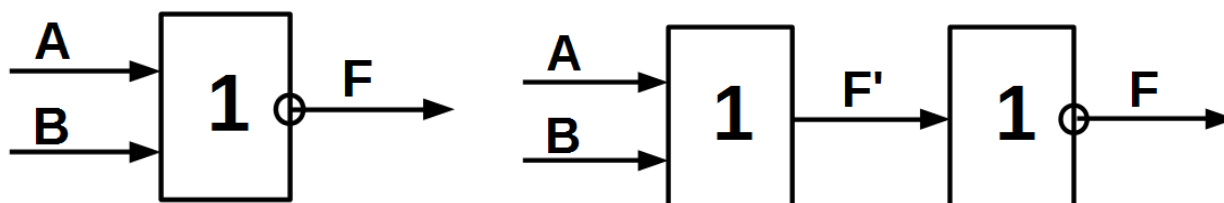


Рисунок. 6.7 – Функціональна схема логічного елемента «АБО-НІ» виконаного в різних формах

*Логічний елемент «Виключаючи АБО»*

Реалізує логічну функцію:

$$F = A \nabla B. \quad (6.7)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок 6.8), і таблиця істинності (таблиця 6.6).

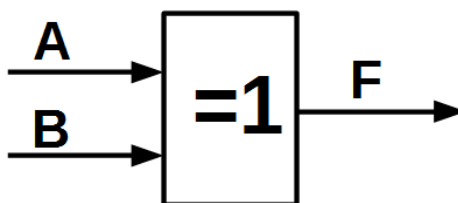


Рисунок. 6.8 – Функціональна схема логічного елемента «Виключаючи АБО»

Таблиця 6.6 – Таблиця істинності

| № набору | B | A | F |
|----------|---|---|---|
| 0        | 0 | 0 | 0 |
| 1        | 0 | 1 | 1 |
| 2        | 1 | 0 | 1 |
| 3        | 1 | 1 | 0 |

Елемент називається «виключаючи» АБО, «т.к.» його таблиця істинності співпадає з таблицею істинності елемента АБО першими трьома рядками. В четвертому рядку елемента АБО,  $F=1$ , а елемента «виключаючи АБО» - нуль.

Нижче наведена таблиця істинності перемикаючої функції «виключаючи АБО» для 3-х-вхідних логічних

змінних (таблиця 4.7).

Таблиця 6.7 – Таблиця істинності

| № набору | C | B | A | F |
|----------|---|---|---|---|
| 0        | 0 | 0 | 0 | 0 |
| 1        | 0 | 0 | 1 | 1 |
| 2        | 0 | 1 | 0 | 1 |
| 3        | 0 | 1 | 1 | 1 |
| 4        | 1 | 0 | 0 | 1 |
| 5        | 1 | 0 | 1 | 1 |
| 6        | 1 | 1 | 0 | 1 |
| 7        | 1 | 1 | 1 | 0 |

### 6.5. Логічна функція «сумування по модулю два» (непарність)

Елемент реалізує логічну функцію:

$$F = A \oplus B \oplus C. \quad (6.8)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.9), і таблиця істинності (таблиця 6.8).

Елемент сумує значення змінних по модулю два (символ  $\oplus$  (псевдоплюс) означає  $\Sigma_{mod2}$ :  $0 + 0 = 0$ ;  $1 + 1 = 0$ ;  $1 + 0 = 1$ ;  $0 + 1 = 1$ ).

Якщо при сумуванні число одиниць непарне, то функція рівна 1, в протилежному випадку –  $F=0$ .

Таблиця 6.8 – Таблиця істинності трьох змінних

| № набору | C | B | A | F |
|----------|---|---|---|---|
| 0        | 0 | 0 | 0 | 0 |
| 1        | 0 | 0 | 1 | 1 |
| 2        | 0 | 1 | 0 | 1 |
| 3        | 0 | 1 | 1 | 0 |
| 4        | 1 | 0 | 0 | 1 |
| 5        | 1 | 0 | 1 | 0 |
| 6        | 1 | 1 | 0 | 0 |
| 7        | 1 | 1 | 1 | 1 |

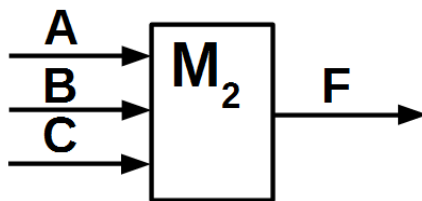


Рисунок 6.9 – Функціональна схема логічного елемента реалізуючого функцію «сумування по модулю 2»

*Логічна функція «сумування по модулю два» з відмовою (парність)*

Елемент реалізує логічну функцію:

$$F = \overline{A \oplus B \oplus C} \quad (6.9)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.10), і таблиця істинності (таблиця 6.9).

Елемент формує суму по модулю два, яка потім інвертується на виході. Якщо при сумуванні число одиниць парне, то функція рівна 1, в протилежному випадку –  $F=0$ .

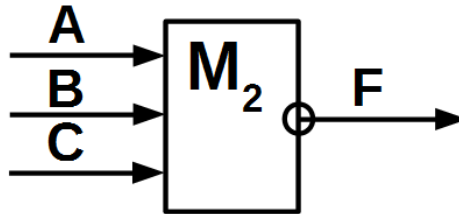


Рисунок 6.10 – Функціональна схема логічного елемента реалізуючого функцію «сумування по модулю 2» з відмовою

Таблиця 6.9 – Таблиця істинності трьох змінних

| № набору | C | B | A | F |
|----------|---|---|---|---|
| 0        | 0 | 0 | 0 | 1 |
| 1        | 0 | 0 | 1 | 0 |
| 2        | 0 | 1 | 0 | 0 |
| 3        | 0 | 1 | 1 | 1 |
| 4        | 1 | 0 | 0 | 0 |
| 5        | 1 | 0 | 1 | 1 |
| 6        | 1 | 1 | 0 | 1 |
| 7        | 1 | 1 | 1 | 0 |

*Логічна функція «Еквівалентність»*

Елемент реалізує логічну функцію

$$F = \bar{A} \cdot \bar{B} \cdot \bar{C} + A \cdot B \cdot C \quad (6.10)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.11), і таблиця істинності (таблиця 6.10).

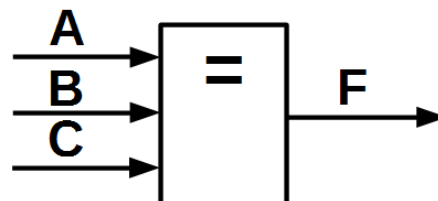


Рисунок 6.11 – Функціональна схема логічного елемента реалізуючого функцію «еквівалентність»



Функція рівна одиниці, коли всі змінні однакові (рівні одиниці або нулю). В протилежному випадку –  $F = 0$ .

Таблиця 6.10 – Таблиця істинності трьох змінних

| № набору | C | B | A | F |
|----------|---|---|---|---|
| 0        | 0 | 0 | 0 | 1 |
| 1        | 0 | 0 | 1 | 0 |
| 2        | 0 | 1 | 0 | 0 |
| 3        | 0 | 1 | 1 | 0 |
| 4        | 1 | 0 | 0 | 0 |
| 5        | 1 | 0 | 1 | 0 |
| 6        | 1 | 1 | 0 | 0 |
| 7        | 1 | 1 | 1 | 1 |

*Логічна функція «Нееквівалентність»*

Елемент реалізує логічну функцію

$$F = \overline{\overline{A \cdot B \cdot C} + A \cdot B \cdot C} \quad (6.11)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.12), і таблиця істинності (таблиця 6.11).

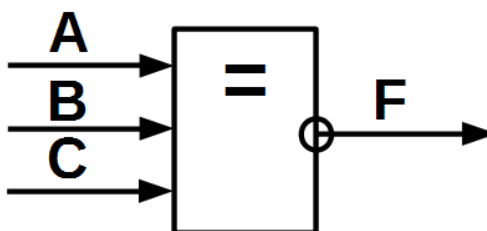


Рисунок. 6.12 Функціональна схема логічного елемента реалізуючого функцію «нееквівалентність»

Таблиця. 6.11 – Таблиця істинності

| № набору | C | B | A | F |
|----------|---|---|---|---|
| 0        | 0 | 0 | 0 | 0 |
| 1        | 0 | 0 | 1 | 1 |
| 2        | 0 | 1 | 0 | 1 |
| 3        | 0 | 1 | 1 | 1 |
| 4        | 1 | 0 | 0 | 1 |
| 5        | 1 | 0 | 1 | 1 |
| 6        | 1 | 1 | 0 | 1 |
| 7        | 1 | 1 | 1 | 0 |

Функція рівна одиниці, коли всі змінні неоднакові. В протилежному випадку –  $F = 0$ .

Якщо число логічних змінних рівне два, то логічна функція і елемент «нееквівалентність» співпадає з елементами «сума по модулю два» [6] і «виключаючи АБО» (таблиці 6.6 та 6.7). Тобто, якщо  $N_{\text{пер}}=2$ , то:

$$F = A \nabla B = A \oplus B = \bar{A} \cdot B + A \cdot \bar{B} = \overline{A \cdot B + \bar{A} \cdot \bar{B}}$$

### Логічна функція «І-АБО-НІ»

Елемент реалізує більш складну логічну функцію, булевий вираз якої має вигляд:

$$F = \overline{A \cdot B + C \cdot D} \quad (6.12)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок 6.13), і таблиця істинності (таблиця 6.12).

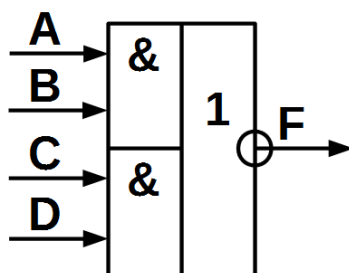


Рисунок 6.13 – Функціональна схема логічного елемента реалізуючого функцію «І-АБО-НІ»

Таблиця 6.12 – Таблиця істинності

| № набору | D | C | B | A | F |
|----------|---|---|---|---|---|
| 0        | 0 | 0 | 0 | 0 | 1 |
| 1        | 0 | 0 | 0 | 1 | 1 |
| 2        | 0 | 0 | 1 | 0 | 1 |
| 3        | 0 | 0 | 1 | 1 | 0 |
| 4        | 0 | 1 | 0 | 0 | 1 |
| 5        | 0 | 1 | 0 | 1 | 1 |
| 6        | 0 | 1 | 1 | 0 | 1 |
| 7        | 0 | 1 | 1 | 1 | 0 |
| 8        | 1 | 0 | 0 | 0 | 1 |
| 9        | 1 | 0 | 0 | 1 | 1 |
| 10       | 1 | 0 | 1 | 0 | 1 |
| 11       | 1 | 0 | 1 | 1 | 0 |
| 12       | 1 | 1 | 0 | 0 | 0 |
| 13       | 1 | 1 | 0 | 1 | 0 |
| 14       | 1 | 1 | 1 | 0 | 0 |
| 15       | 1 | 1 | 1 | 1 | 0 |

Логічна функція «Заборона»

Елемент реалізує логічну функцію:

$$F = A \cdot \bar{B} \quad (6.13)$$

Нижче показані(наведені) його позначення на електричних схемах (рисунок. 6.14), і таблиця істинності (таблиця 6.13).

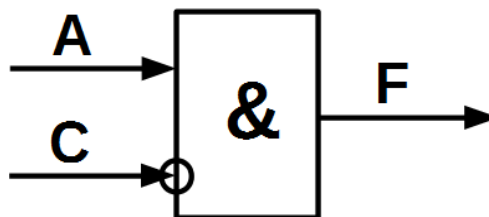


Рисунок 6.14 – Функціональна схема логічного елемента реалізуючого функцію «ЗАБОРОНА»

Таблиця 6.13 – Таблиця істинності

| № набору | B | A | F |
|----------|---|---|---|
| 0        | 0 | 0 | 0 |
| 1        | 0 | 1 | 1 |
| 2        | 1 | 0 | 0 |
| 3        | 1 | 1 | 0 |

На виході такого елемента логічна одиниця буде лише в тому випадку, якщо на основному вході присутня логічна одиниця ( $A=1$ ), а на забороненому вході – нуль ( $B=0$ ).

В позначенні елемента на електричних схемах заборонений вхід помічений як інверсний – кружечком. Забороненим сигналом на цьому вході буде логічна одиниця.

## Лекція 7. Логічні елементи в транзисторній базі

7.1. Логічні елементи з відкритим колектором

7.2. Логічні елементи з третім станом

7.3. Базова логіка серії КМОН

### 7.1. Логічні елементи з відкритим колектором

При побудові цифрових пристроїв часто виникає необхідність об'єднання виходів деяких логічних елементів з ціллю переходу на загальну вихідну пряму. Цю задачу можна вирішити за допомогою елемента «АБО» (рисунок. 7.1).

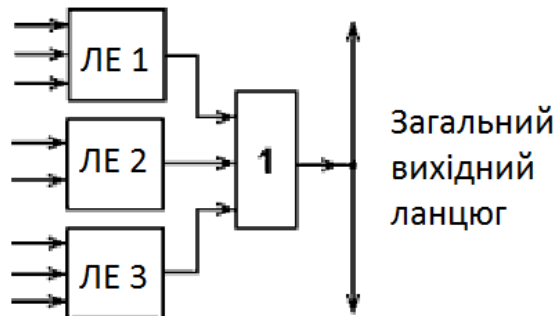


Рисунок 7.1 – Функціональна схема логічного елемента реалізуючого функцію «Об'єднуюча виходи»

При цьому приходиться миритись з додатковими схемними затратами і збільшенням сумарної затримки проходження цифрових сигналів через пристрій [8].

Другий спосіб заснований на використанні логічних елементів з відкритим колектором, в полі функціонального позначення яких є спеціальний символ  $\diamond$ , котрий вказує, що колектор вихідного транзистора відкритий (обірваний, «вісить в повітрі»).

На рисунку 7.2 показано об'єднання деяких логічних елементів з відкритим колектором на загальний вихід.

Для нульових сигналів на виходах логічних елементів ЛЕ1...ЛЕ3 (відповідний вихідний транзистор відкритий) дана схема виконує функцію «монтажне АБО» при

появі логічного нуля хоча б на одному з виходів логічних елементів вихідний сигнал також буде рівний нулю.

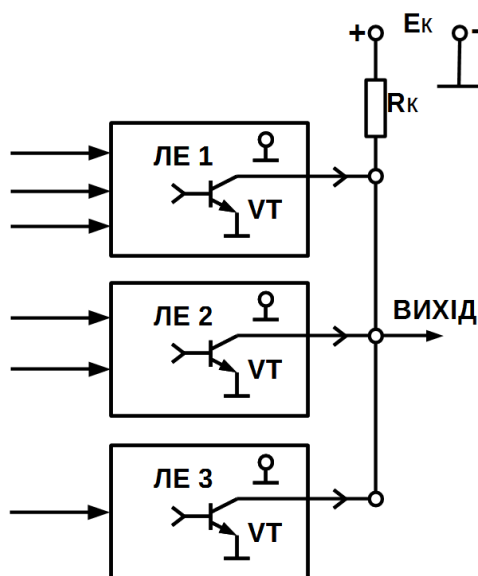


Рисунок 7.2 – Функціональна схема логічного елемента реалізуючого функцію «Об’єднуюча виходи» з відкритим колектором

Для одиничних сигналів на виходах логічних елементів ЛЕ1...ЛЕ3 (відповідний вихідний транзистор закритий) схема виконує функцію «монтажне І»: вихідний сигнал рівний одиниці тільки при одночасній появі логічних одиниць на виходах всіх логічних елементів.

За рахунок технології виготовлення вихідного транзистора і отримання від нього заданих характеристик елементи з відкритим колектором мають більш високу навантажувальну здатність, ніж звичайні ЛЕ, тому можуть використовуватись для підключення навантажень типу тиристорів, реле, індикаторів (світлодіодів) та ін. (рисунок. 7.3).

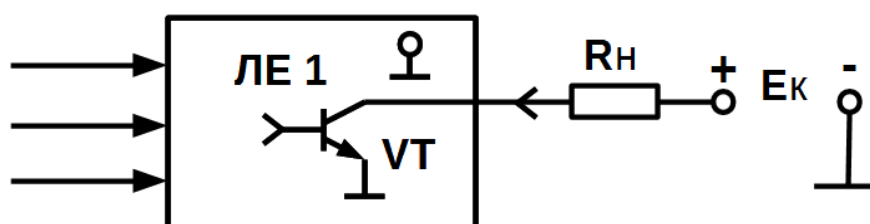


Рисунок 7.3 – Функціональна схема логічного елемента реалізуючого функцію «Об’єднуюча виходи» з відкритим колектором

При цьому необхідно забезпечити виконання вимоги:

$$I_n \leq I_{\text{вих}}^0, \quad (7.1)$$

де  $I_n$  – струм навантаження;  $I_{\text{вих}}^0$  – значення допустимого струму, який може протікати через відкритий вихідний транзистор логічного елемента (рисунок. 7.4).

На рисунку 7.4 зображений приклад підключення на вихід ЛЕ з відкритим колектором світлодіода VD.

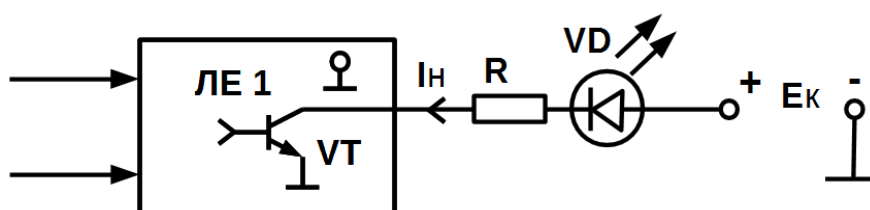


Рисунок 7.4 – Функціональна схема логічного елемента реалізуючого функцію «Об'єднуюча виходи» з відкритим колектором і світлодіодом

Коли з виходу ЛЕ знімається логічний 0, вихідний транзистор VT відкритий, і світлодіод VD виявляється ввімкнутим в прямому напрямку. При протіканні через VD прямого струму останній запалюється. Струм  $I_n$  дорівнює струму запалювання світлодіоду  $I_{\text{зак. VD}}$ , який складає  $\leq 20$  mA. Падіння напруги на відкритому діоді  $U_{\text{VD.пр}}$  складає (1,7...2) В. Резистор R обмежує величину прямого струму і розраховується за формулою:

$$R = \frac{E_k - U_{\text{VD.пр}}}{I_{\text{зак. VD}}}. \quad (7.2)$$

Наприклад, якщо  $E_k=5$  В;  $U_{\text{VD.пр}}=2$  В;  $I_{\text{зак. VD}}=20$  mA, то  $R=(5-2)/(20*10^{-3})=150$  Ом.

## 7.2. Логічні елементи з третім станом

Один із способів підключення логічних елементів на загальний вихід, який найбільш широко використовується, заснований на використанні в їх вихідних

ланцюгах електронних буферних схем, здатних під дією керуючих сигналів або підключати до навантаження вихідний логічний сигнал, приймаючий значення (стану) 0 чи 1, або відключати вихід від навантаження (переводити його в так званий 3-ій ( Z-стан).

Нижче показані: позначення логічного елемента [2,9] (повторювача) з трьома станами на електричних схемах (рисунок 7.5,а) і принципіальна схема його вихідного каскаду, який забезпечує 3 стани вихідного сигналу: логічний 0; логічну 1 і 3-ій (Z) стан (рисунок 7.5,б).

У поле функціонального значення логічних елементів з трьома станами є спеціальний символ  $\diamond$  .

Крім основних входів, на які подаються вхідні логічні змінні, схожі елементи містять управляючий вхід «Вибір кристала» – CS, активним сигналом на котрому, як правило, являється логічний 0 (рисунок 7.5,а).

Три стани вихідних сигналів забезпечуються керуючими сигналами на базах транзисторів VT<sub>1</sub> і VT<sub>2</sub> (рисунок 7.5,б):

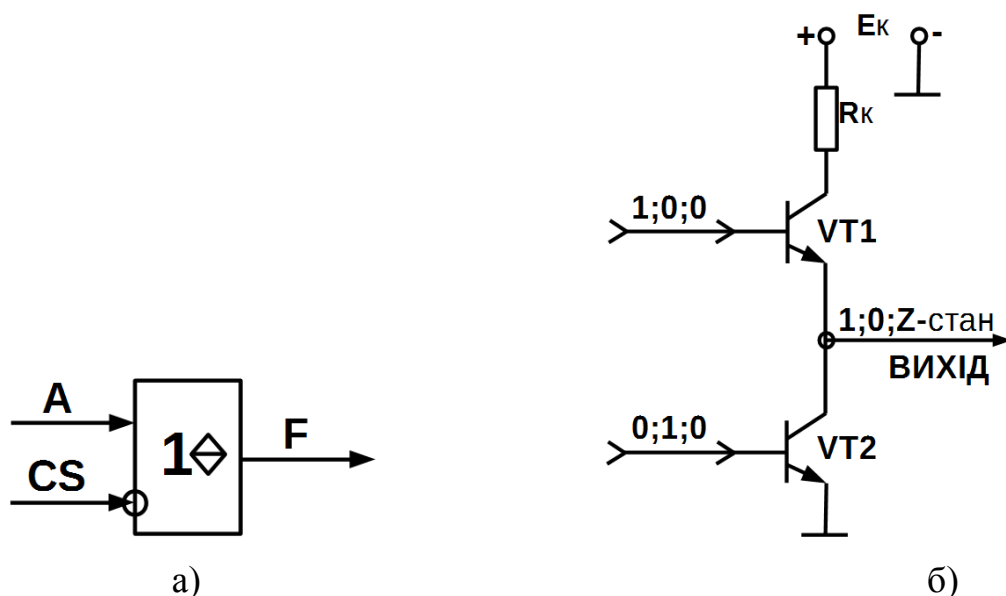


Рисунок 7.5 – Схема повторювача: а) функціональна схема; б) принципова схема

Одиничний стан – на базі VT<sub>1</sub> – одиниця (транзистор – відкритий); на базі VT<sub>2</sub> – нуль (транзистор - закритий) і з виходу знімається логічна 1;

Нульовий стан - на базі VT<sub>1</sub> – нуль (транзистор - закритий); на базі VT<sub>2</sub> – одиниця (транзистор - відкритий) і з виходу знімається логічний 0;



Z – стан – на базах  $VT_1$  і  $VT_2$  – логічні нулі (обидва транзистора закриті) і вихід зірваний від загальної шини (знаходиться у (Z) стані).

Елементи з трьома станами широко використовуються в мікропроцесорній техніці для підключення виходів різних приладів мікропроцесорній системі в загальній шині.

### 7.3. Базова логіка серії КМОН. ЕЗЛ

На рисунку 7.6 показано один зі способів узгодження рівнів сигналів, що надходять від виходу ТТЛ елемента на вхід КМОН-структури.

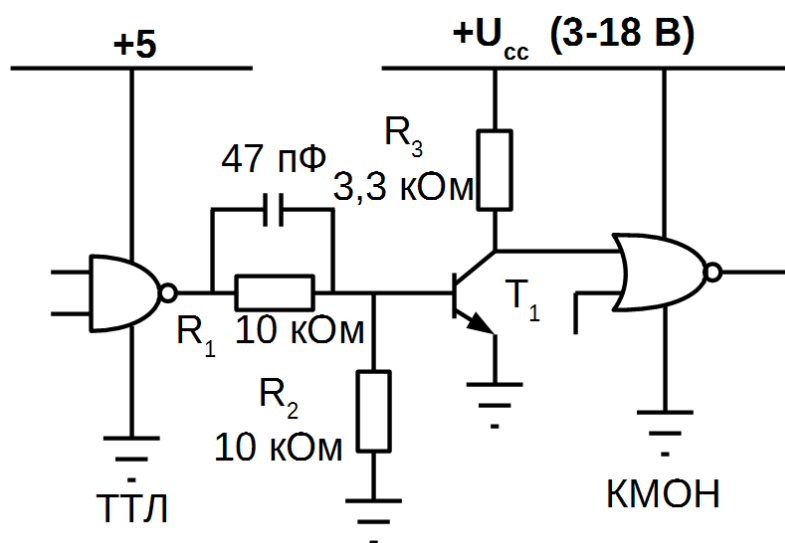


Рисунок 7.6 – Схема узгодження рівнів сигналів, що надходять від виходу ТТЛ елемента на вхід КМОН-структури

В базовому колі такої транзисторної схеми, встановлені 2 резистори, які створюють вхідний «поріг», що приблизно рівний падінню напруги на 2-х діодах, забезпечуючи хорошу перешкодостійкість. «Пришвидшуючий» конденсатор збільшує швидкість переключення. Іноді резистор  $R_2$  відсутній і тоді транзистор відкривається при вхідній напрузі, що приблизно рівна 0,7 В. В даному випадку не забезпечуватиметься достатня перешкодостійкість.

Величина навантажувального резистора може бути більшою при меншій важливості перешкодостійкості. Інакше номінал має вибиратись меншим.

На рисунку 7.7 бачимо аналогічну ситуацію, лише проходить зворотнє узгодження від КМОН до ТТЛ.

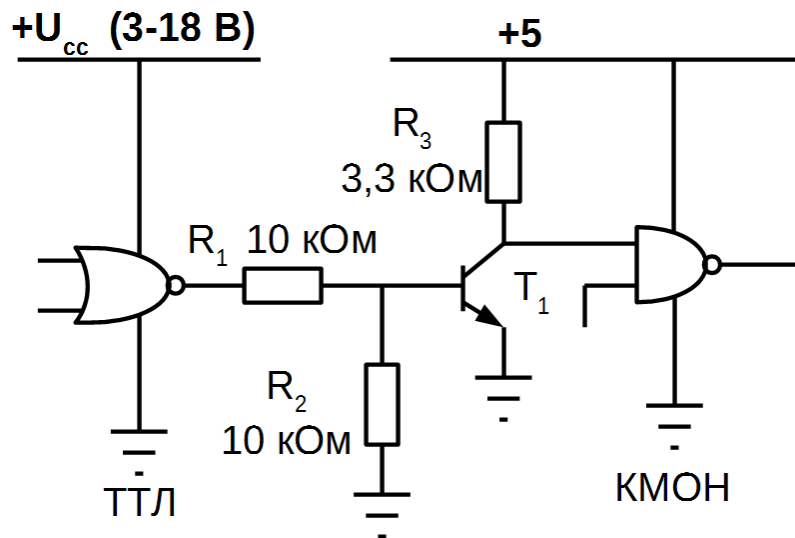


Рисунок 7.7 – Схема узгодження рівнів сигналів, що надходять від виходу КМОН-структури на вхід ТТЛ елемента

В даному випадку ситуація майже аналогічна до першого випадку і навіть каскад є та-кож інвертуючим.

Мікросхеми серій К176, К561, Кр1561 випускаються в пластмасових корпусах з дворядним розташуванням 14, 16 або 24 штирьових виводів, а мікросхеми серії 564 - в корпусах з тією ж кількістю виводів, розташованих в одній площині, в так званих планарних корпусах. Номінальна напруга живлення мікросхем серії К176 - 9 В  $\pm 5\%$ , проте вони, як правило, зберігають працездатність в діапазоні живлячої напруги від 5 до 12 В. Для мікросхем серій К561 і 564 гарантується працездатність при напрузі живлення від 3 до 15 В, для Кр1561 - від 3 до 18 В. Діапазон робочих температур мікросхем серії К176 від -10 до +70 °С, серій К561 і Кр1561 від -45 до +85°С, серії 564 від -60 до +125 °С.

Вихідні рівні мікросхем при роботі на однотипні мікросхеми практично не відрізняються від напруги живлення і потенціалу спільного дроту. Максимальний вихідний струм більшості мікросхем серій К176, К561 і 564 не стандартизований і не перевищує одиниць міліампер, що декілька утрудняє безпосереднє узгодження мікросхем цих серій з якими-небудь індикаторами і мікросхемами ТТЛ-серій.

Відмітною особливістю мікросхем серії Кр1561 є наявність буферних елементів не лише на виходах складних елементів, як в мікросхемах серій К176, К561 і 564, але

і на входах і виходах всіх мікросхем, незалежно від їх складності. Крім того, в мікросхемах серії Кр1561 покращуваний захист від перевантажень як по входу, так і по виходу, у вихідні ланцюги додані невеликі струмообмежувальні резистори.

При використанні мікросхем слід пам'ятати, що захист входів мікросхем діодами від статичної електрики не є повній. Тому при монтажі пристроїв з мікросхемами КМОН необхідно дотримувати наступні правила.

Для виключення випадкового пробую за рахунок статичної електрики потенціали вмонтованої плати, паяльника і тіла монтажника мають бути зрівняні. Для цього на ручку паяльника можна намотати декілька витків неізолюваного дроту або укріпити металеву пластинку і з'єднати через резистор 100...200 кОм з металевими частками паяльника. Звичайно, обмотка паяльника не повинна мати контакту з його жалом. При монтажі вільною рукою слід стосуватися шин живлення вмонтовуваної плати. Якщо мікросхема знаходиться в металевій коробці або її виводи упаковані у фольгу, перш ніж узяти мікросхему, слід доторкнутися до коробки або фольги. При передачі мікросхеми з рук в руки слід зрівняти потенціали тих, що беруть участь в цьому, доторкнувшись один до одного до моменту передачі.

Вживання мікросхем КМОН-серій має свої особливості. Жоден з входів мікросхем не може бути залишений непідключеним, навіть якщо логічний елемент в мікросхемі не використаний. Вільні входи елементів повинні бути або сполучені з використовуваними входами того ж елемента або підключені до шини живлення або до спільного дроту відповідно до логіки роботи мікросхеми. Напруга джерела живлення повинна подаватися раніше або одночасно з подачею вхідних сигналів.

У будь-якому пристрої, зібраному на мікросхемах структури КМОН, рекомендується перед першим включенням перевірити продзвоном подачу напруги живлення на всі виводи живлення і ті виводи мікросхем, на які напруга живлення подається відповідно до принципової схеми. Річ у тому, що мікросхема КМОН із-за наявності вхідних захисних діодів може працювати без подачі напруги на виведення живлення, якщо хоч би на один з входів мікросхеми подана напруга живлення або лог. 1. Аналогічно слід перевірити ланцюг спільного дроту з тієї ж причини.

Логіка роботи мікросхем з однаковим буквенно-цифрові позначенням біля серій К176, К561, Кр1561 і 564 повністю збігається, збігаються реальні електричні

параметри біля мікросхем серій K561 і 564, хоча паспортні норми у них різні. Тому тут розглядаються лише ті мікросхеми серії 564, які або відсутні в інших серіях, або мають інші буквенно-цифрові позначення.

Найбільш швидкодіючими логічними ІМС у даний час є елементи емітерно-зв'язаної логіки (ЕЗЛ) і особливо елементи емітерно-зв'язаної логіки з емітерними повторювачами на вході (ЕЕЗЛ). Ці елементи працюють у режимі переключення струму, і в них висока швидкодія забезпечується, насамперед, за рахунок запобігання насичення транзисторів шляхом введення глибокого зворотного зв'язку по струму за допомогою резистора в колі емітера. Цей зворотний зв'язок одночасно сприяє скороченню тривалості перехідних процесів у базі транзисторів. Немаловажну роль грають обмеження меж зміни перепадів напруги і використання емітерних повторювачів для введення і знімання інформації.

Найбільш простим елементом на перемикачах струму є елемент ЕЗЛ, схема якого показана на рисунку 7.8. Особливості елементів з об'єднаними емітерами зручно пояснити на прикладі цього елемента.

Основу розглянутої групи ІМС складає перемикач струму, що являє собою ключовий елемент на транзисторах з об'єднаними емітерами, (на рисунок 7.8 транзистори  $T_1$  —  $T_3$  і  $T$ ). У емітерне коло транзисторів задається струм  $I_0$  постійного значення. Сталість струму  $I_0$  підтримується або шляхом включення в коло емітерів порівняно високоомічного резистора  $R$  або шляхом використання транзисторного джерела струму. Значення струму  $I_0$  вибирають так, щоб у нормальному режимі роботи елемента виключалося насичення транзисторів, що утворюють перемикач струму.

Керування перемикачем струму здійснюється шляхом подачі сигналів на бази транзисторів  $T_1$  —  $T_3$ . На базу транзистора  $T$  подається фіксований опорний потенціал  $U_{оп}$ , значення якого вибирають так, щоб транзистор  $T$  був здатний пропускати повністю струм  $I_0$  при встановленні на базах вхідних транзисторів низького потенціалу, відповідаючого логічному 0. При подачі високого потенціалу, що відповідає логічній 1, на базу хоча б одного з вхідних транзисторів струм  $I_0$  перемикається в емітерне коло відповідного вхідного транзистора. При цьому транзистор  $T$  з фіксованим зсувом замикається. При перемиканні елемента

відбувається зміна вихідних потенціалів: потенціал колекторів вхідних транзисторів знижується на, а потенціал колектора транзистора Т, підвищуючи на, досягає рівня напруги джерела живлення  $E_T$ .

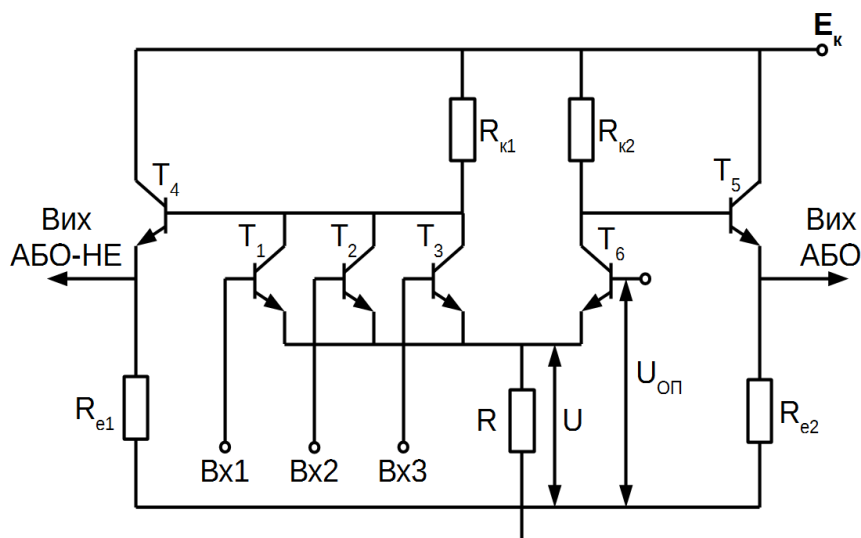


Рисунок 7.8 – Мікросхема ЕЗЛ

У колі послідовно включених перемикачів струму колекторні потенціали не можна безпосередньо використовувати як вхідні напруги для керування наступними ІМС, тому що вони перевищують рівні відповідних потенціалів на входах. Для нормальної роботи ІМС необхідно зробити зрушення рівня колекторних потенціалів. Для цієї мети найбільше часто використовують емітерні повторювачі, що підключаються до колекторів вхідних транзисторів і транзистора з фіксованим зсувом (Рисунок 1 повторювачі на транзисторах Т<sub>4</sub> і Т<sub>5</sub>). При цьому зрушення рівня дорівнює перепаду напруги між базою і емітером  $U_{бэ,сд}$  транзистора. Цим перепадом напруги лімітується розмах логічного сигналу  $\Delta U_{лог} = U_{вых}^1 - U_{вых}^0$ .

Дійсно, на базу вхідного транзистора в провідному стані подається вхідна напруга  $U_{вых}^1 \approx E_k - U_{бэ,сд}$ , яке відповідає логічній 1, що призводить до відмикання цього транзистора і зниженню потенціалу колекторів вхідних транзисторів. При цьому, щоб відкритий транзистор не насичувався, необхідно забезпечити виконання умови  $U_{к1} \geq U_{б1} \approx E_k - U_{бэ,сд}$ , що можливо тільки в тому випадку, якщо перепад напруги на колекторі не перевищує напруга зрушення, створена повторювачем, тобто при:

$$\Delta U_{\text{лог}} = I_0 \alpha_N R_k \leq U_{\text{бэ.сд}}. \quad (7.3)$$

Порушення цієї умови приводить до насичення транзистора, тому що потенціал його колектора виявляється нижче потенціалу бази. Отже, збільшення розмаху логічного сигналу, який визначається перепадом напруги в колекторному колі вхідних транзисторів, припустимо тільки при відповідному збільшенні зсуву рівня  $U_{\text{бэ.сд}}$ . Цього можна досягти, наприклад, шляхом вмикання додаткового діода, що зміщає, у емітерні кола транзисторів  $T_4$  і  $T_5$ . Емітерні повторювачі (без зсувних діодів) забезпечують зсув рівня, що складає 0,8 - 0,9 В. Розмах логічного сигналу, дорівнює цьому значенню, виявляється достатнім для більшості цифрових автоматів, побудованих на елементах ЕЗЛ. При цьому, щоб одержати однаковий розмах логічного сигналу на що інвертуючому і неінвертуючому виходах елемента значення опорів резисторів  $R_{K1} = R_{K2}$  вибираються рівними один одному:  $R_{K1} = R_{K2} = R_K$ .

Включення повторювачів призводить також до зменшення вихідного опору елемента, що сприяє підвищенню його навантажувальної здатності і швидкодії. Таким чином, перемикач струму, доповнений емітерними повторювачами, стає логічним елементом, що реалізує операції АБО-НІ і АБО. Сигнал, що відповідають операції АБО-НІ, знімається з виходу повторювача, підключеного до інвертуючої половини елемента (тобто до колекторів вхідних транзисторів), а сигнал, що відповідає операції АБО, — з виходу повторювача, зв'язаного з транзистором  $T$ .

На рисунку 7.9 показана перемикальна характеристика мікросхеми ЕЗЛ для двох її виходів: інвертуючого ( $U_{\text{вых1}}$ ) та неінвертуючого ( $U_{\text{вых2}}$ ).

При вхідних напругах, менших потенціалу відмикання, вхідні транзистори залишаються замкненими і на інвертуючому встановлюється високий потенціал:

$$U_{\text{вих}}^1 \approx E_K - I_{\text{вс}} I_{\text{кз}} R_K - U_{\text{бэ.сд}} \approx E_K - U_{\text{бэ.сд}}, \quad (7.4)$$

Відповідний логічній 1 ( $I_{0c}$  — число вхідних транзисторів). При цьому струм  $I_0$  цілком відбирається транзистором  $T$  з фіксованим зсувом і на неінвертуючому виході установлюється низький потенціал:

$$U_{вих}^0 \approx E_K - \alpha_N I_0 R_K - U_{бе.сд} \approx E_K - \Delta U_{лог} - U_{бе.сд} \quad (7.5)$$

відповідний логічному 0. Розмах логічного сигналу:

$$\Delta U_{лог} = \alpha_N I_0 R_K \quad (7.6)$$

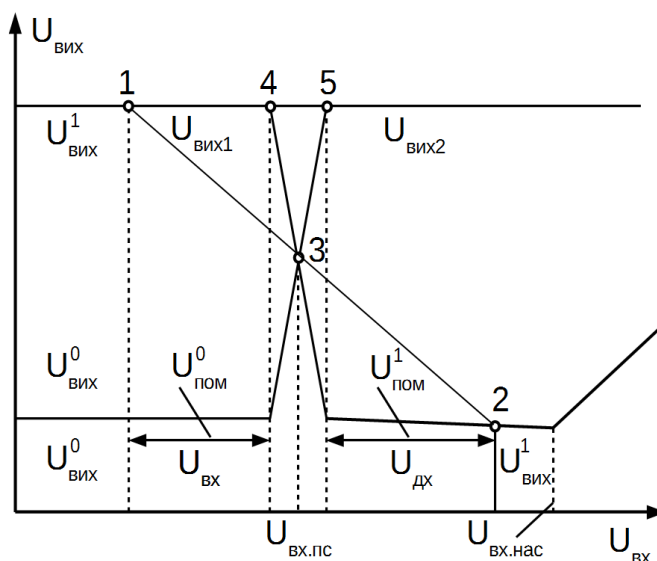


Рисунок 7.9 – Перемикальні характеристики мікросхеми ЕЗЛ

Коли напруга  $U_{вх}$  досягає потенціалу відмикання, вхідні транзистори починають проводити, і струм  $I_0$  частково відгалужується в емітери провідних транзисторів. Якщо одночасно проводять  $I_{пр}$  вхідних транзисторів (із загального числа  $I_{0c}$ ), то потенціал колектора цих транзисторів зменшується і відповідно знижується напруга на інвертуючому виході до рівня:

$$U_{вих}^1 \approx E_K - I_{ес} I_{кз} R_K - U_{бе.сд} \approx E_K - U_{бе.сд} \quad (7.7)$$

Через перерозподіл струму  $I_0$  змінюється і напруга на неінвертуючому виході:

$$U_{вих}^0 \approx E_K - \alpha_N I_0 R_K - U_{бе.сд} \approx E_K - \Delta U_{лог} - U_{бе.сд} \quad (7.8)$$

Струми емітерів  $I_{e1}$  і  $I_e$  відповідно для вхідних транзисторів і транзистора  $T$  визначаються співвідношеннями:

$$I_{e1} \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \left( \exp \frac{U_{e1}}{m_e \varphi_T} - 1 \right) \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \exp \frac{(U_{вх} - U_0)}{m_e \varphi_T}, \quad (7.9)$$

$$I_e \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \left( \exp \frac{U_e}{m_e \varphi_T} - 1 \right) \approx \frac{I_{eT}}{1 - \alpha_N \alpha_I} \exp \frac{(U_{оп} - U_0)}{m_e \varphi_T}. \quad (7.10)$$

де,  $U_0 = I_o R$  — потенціал об'єднаних емітерів відносно загальної шини живлення.

Більш повну інформацію з розрахунками логічних елементів зібраних на даних базах можна знайти в посбнику авторів (1)



## ТЕМА 5. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ В РІЗНИХ БАЗАХ

### Лекція 8. Реалізація логічних функцій в різних базах

#### 8.1 Базисні набори

#### 8.2 Реалізація логічних функцій

##### 8.1. Базисні набори ЛЕ і їх взаємозв'язок

Існує декілька основних (функціонально повних) наборів логічних елементів, на яких можна реалізувати будь-яку перемикаючу функцію:

- 1) І, АБО, НІ;
- 2) І – НІ;
- 3) АБО - НІ.

Для реалізації перемикаючої функції, представленої булевим виразом в ДНФ або КнФ, достатньо трьох ЛЕ: І, АБО, НІ, тому цей набір вважається функціонально повним або базисним (базисом).

На практиці більш широко використовуються базиси І – НІ або АБО - НІ. Це пов'язано з тим, що скорочення номенклатури елементів до одного типу спрощує проектування пристрою та його ремонту. Крім того, наявність в цих елементах інвертора (підсилювача) підвищує навантажувальну здатність елемента (підсилює сигнал).

Використовуючи тотожності і теореми булевої алгебри, можна конвертувати вираз перемикальної функції, записаної у вигляді комбінації функцій І, АБО, НІ, до вигляду, що може бути реалізований елементами базиса І – НІ, АБО - НІ. Вищесказане відображає таблиця 8.1.

Таблиця 8.1 – Конвертації виразів перемикальної функції

| Елемент | Логічні операції                       |   |   |
|---------|--|---|---|
|         | НІ                                     | І   | АБО   |
| І-НІ    | $F_1 = \bar{A} = \overline{A \cdot A}$ | $F_2 = A \cdot B = \overline{\overline{A \cdot B}}$ | $F_3 = A + B = \overline{\overline{A \cdot B}}$ |

|        |                                    |   |   |
|--------|------------------------------------|---|---|
| АБО-НІ | $F_4 = \bar{A} = \overline{A + A}$ | $F_5 = A \cdot B = \overline{\overline{A + B}}$ | $F_6 = A + B = \overline{\overline{A \cdot B}}$ |
|--------|------------------------------------|---|---|

## 8.2. Реалізація логічних функцій

Нище показана схемна реалізація функцій І, АБО, НІ, в базисах І-НІ (рисунок. 5.1, а, б, в) і АБО-НІ (рисунок. 5.1, г, д, е). (1)

Функцію І-НІ називають функцією Шеффера (штрихом Шеффера), яку позначають її у вигляді  $F = A / B$ , а функцію АБО-НІ функцією Пірса (стрілкою Пірса), яку позначають її у вигляді  $A \downarrow B$ . Базис І-НІ називають базисом Шеффера, а базис АБО-НІ – базисом Пірса.

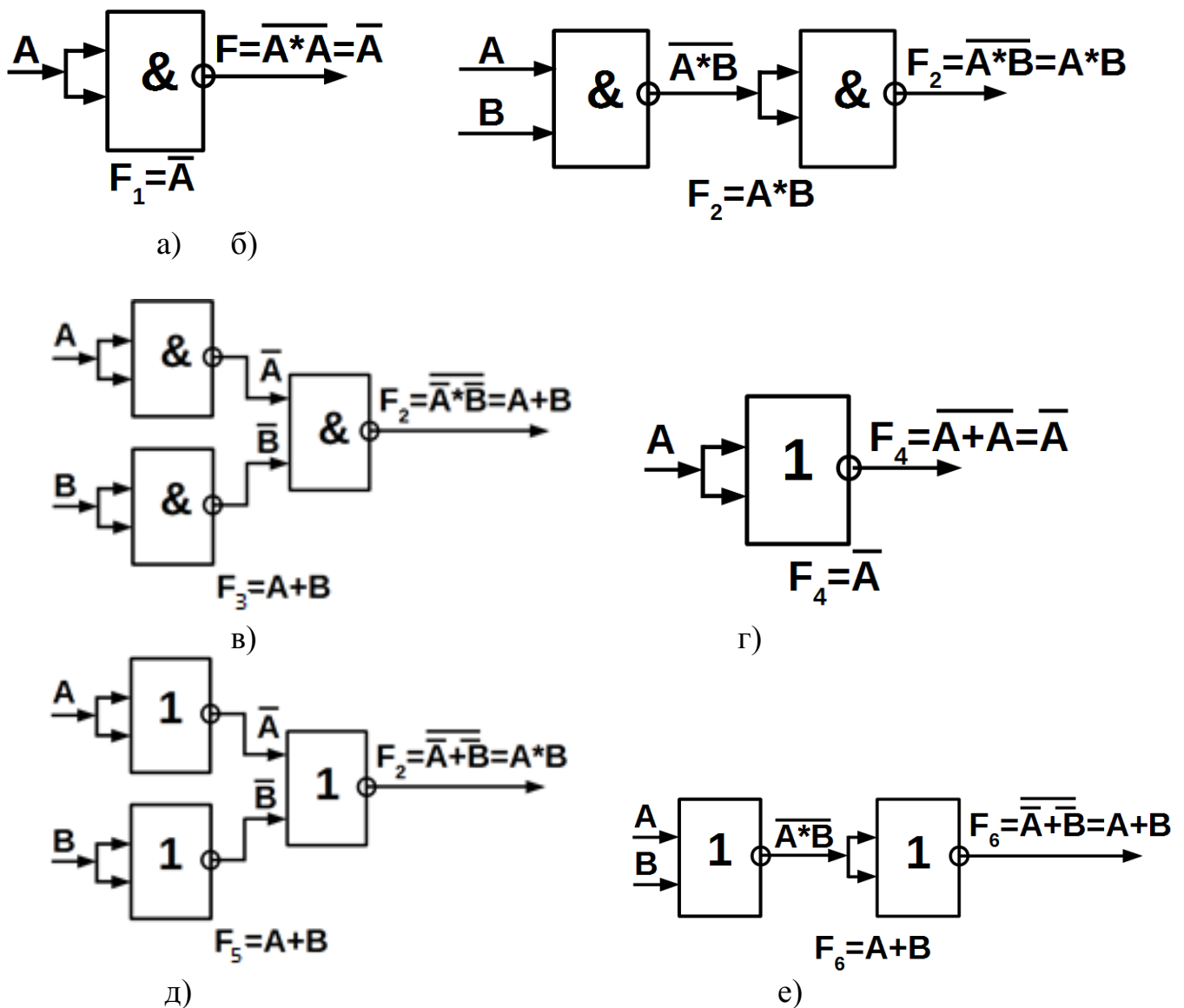


Рисунок 8.1 – Схеми базисних функцій

## ТЕМА 5. РЕАЛІЗАЦІЯ ЛОГІЧНИХ ФУНКЦІЙ В РІЗНИХ БАЗАХ

### Лекція 8. Реалізація логічних функцій в різних базах

#### 8.1 Базисні набори логічних елементів і їх взаємозв'язок

##### 8.1.1 Реалізація елемента «Рівнозначність»

##### 8.1.2 Реалізація елемента «Нерівнозначність»

##### 8.1.3 Реалізація елемента «Заборона»

#### 8.2 Реалізація логічних функцій

#### 8.1 Базисні набори логічних елементів і їх взаємозв'язок

##### 8.1.1 Реалізація елемента «Рівнозначність» (виключаючи АБО-НІ)

На виході такого елемента повинна бути логічна 1, якщо на входах одночасно присутні однакові логічні змінні (одиниці або нулі).

Булевий вираз логічної функції, який відповідає елементу, що розглядається, має вигляд:

$$F = A \cdot B + \bar{A} \cdot \bar{B} \quad (8.1)$$

Очевидно, що даний вираз легко реалізується елементами базиса І, АБО, НІ. Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (5.1) до вигляду, котрий дозволяє реалізувати функцію «рівнозначність» в базисі І-НІ (5.2) і АБО-НІ (5.3).

$$F = \overline{\overline{A \cdot B} \cdot \overline{A \cdot B}}, \quad (8.2)$$

$$F = \overline{\overline{A + B} + \overline{A + B}}. \quad (8.3)$$

Нижче показані функціональні схеми елемента «рівнозначність» на ЛЕ базисів І, АБО, НІ (рисунок 8.1,а); І-НІ (рисунок 8.1,б) і АБО-НІ (рисунок 8.1,в).

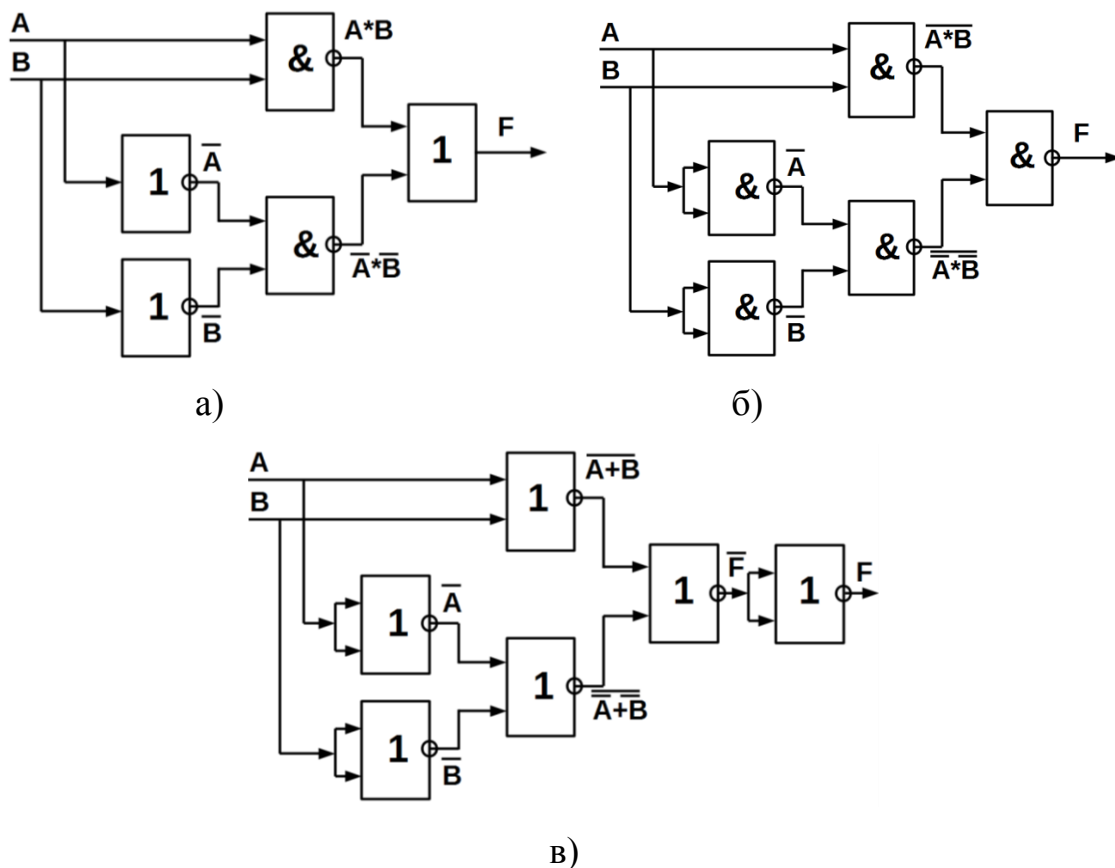


Рисунок 8.1 – Функціональні схеми виконані з використанням базисних логічних елементів

### 8.1.2. Реалізація елемента «Нерівнозначність» (виключаюче АБО, сума по модулю два)

На виході такого елемента повинна бути логічна 1, якщо на входах присутні нерівнозначні логічні змінні:  $F = 1$ , якщо  $A = 1, B = 0$  або  $A = 0, B = 1$ .

Булевий вираз логічної функції, елемента, що розглядається, має вигляд:

$$F = \bar{A} \cdot B + A \cdot \bar{B}. \quad (8.4)$$

Цей вираз може бути легко реалізований елементами базиса І, АБО, НІ. Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (8.4) до вигляду, котрий дозволяє реалізувати функцію «нерівнозначність» в базисі І-НІ (8.5) і АБО-НІ (8.6).

Нижче показані функціональні схеми елемента «нерівнозначність» на ЛЕ базисів І, АБО, НІ (рисунок 8.2,а); І-НІ (рисунок 8.2,б) і АБО-НІ (рисунок 8.2,в).

Елемент «нерівнозначність» ще називають суматором по модулю два: сума двійкових цифр дає одиницю, якщо одна з них одиниця, а друга – нуль; у протилежному випадку, якщо обидві цифри 0 або 1, то сума рівна нулю.

$$F = \overline{\overline{A \cdot B \cdot \overline{A \cdot B}}}, \quad (8.5)$$

$$F = \overline{\overline{\overline{A + B + A + B}}}. \quad (8.6)$$

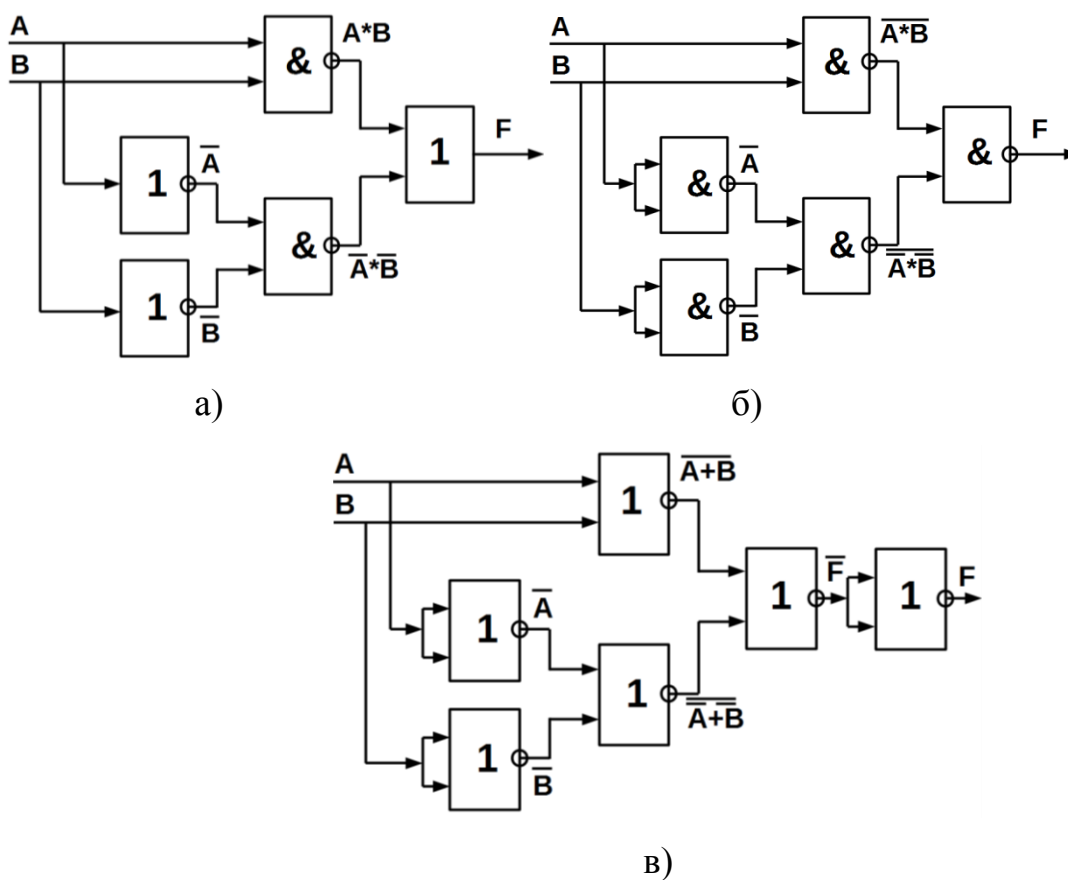


Рисунок 8.2 – Функціональні схеми, які реалізують «Нерівнозначність» з використанням базисних елементів

### 8.1.3. Реалізація елемента «Заборона»

На виході такого елемента повинна бути логічна 1, якщо на основному вході присутня логічна одиниця, а на забороненому вході – логічний нуль.

Булево вираз логічної функції, елемента, що розглядається, має вигляд:

$$F = A \cdot \overline{B} \quad (8.7)$$

Вираз (8.7) може бути легко реалізований в базисі І, АБО, НІ.

Використовуючи теорему де Моргана і тотожності булевої алгебри, перетворимо вираз (8.7) до вигляду, котрий дозволяє реалізувати функцію «заборона» в базисі І-НІ (8.8) і АБО-НІ (8.9).

$$F = \overline{\overline{A \cdot B}}, \quad (8.8)$$

$$F = \overline{\overline{A} + B}. \quad (8.9)$$

Нижче показані функціональні схеми елемента «заборона» на ЛЕ базисів І, АБО, НІ (рисунок. 8.3,а); І-НІ (рисунок. 8.3,б) і АБО-НІ (рисунок. 8.3,в).

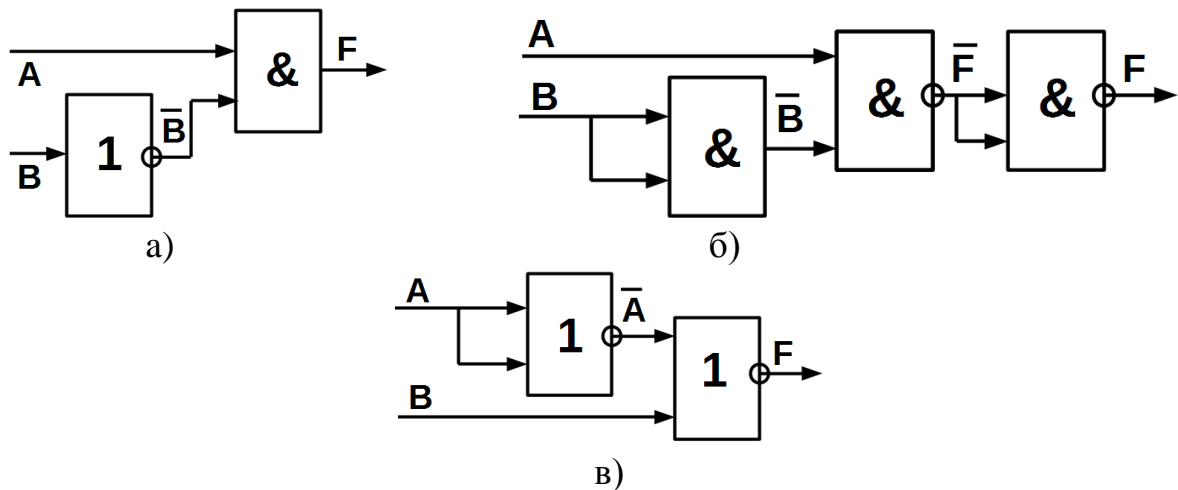


Рисунок. 8.3 – Функціональна схема, яка реалізує функцію «заборона»

## 8.2. Реалізація багатобуквених логічних функцій на елементах з невеликою кількістю входів

Інколи на практиці виникає завдання реалізувати логічну функцію з великою кількістю логічних змінних (багатобуквену функцію) на елементах із невеликою кількістю входів. У якості прикладу на рисунку 8.4 зображена функціональна схема, яка реалізує логічну функцію на двовхідних елементах І-НІ:

$$F = A \cdot B \cdot C \cdot D \cdot E \cdot F \cdot G \cdot H \quad (8.10)$$

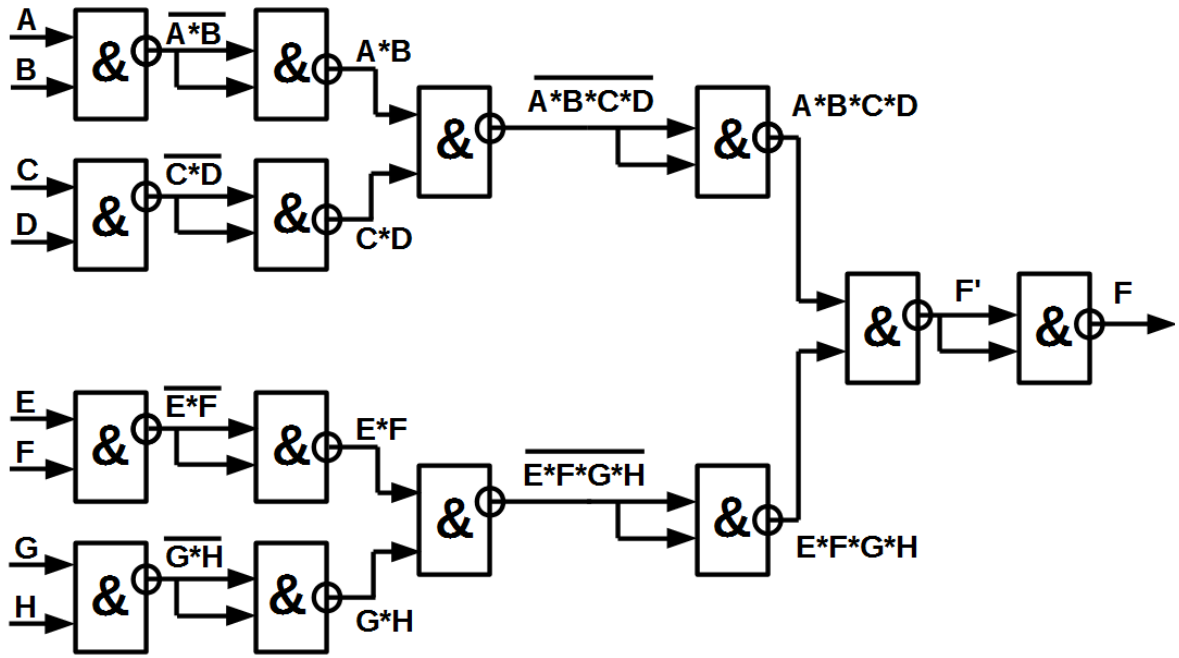


Рисунок. 8.4 – Функціональна схема, які реалізує багато буквену логічну схему

## ТЕМА 6. ПАРАМЕТРИ І ХАРАКТЕРИСТИКИ ІНТЕГРАЛЬНИХ МІКРОСХЕМ

### Лекція 9. Параметри і характеристики інтегральних мікросхем

9.1. Характеристика коефіцієнтів по входу і по виходу ( $K_{ов}$ ,  $K_{рпв}$ )

9.2. Статичні та динамічні характеристики елементів

9.3. Вхідні та вихідні параметри напруги та струму

#### 9.1. Характеристика коефіцієнтів по входу і виходу ( $K_{ов}$ , $K_{рпв}$ )

Цифрова мікросхема як функціональний вузол характеризується набором сигналів, які можна розділити на інформаційні ( $X1, X2, \dots, Xn$  - вхідні,  $Y1, Y1, \dots, Ym$  - вихідні) і керуючі ( $V1, V2, \dots, Vk$ ). Кожна конкретна ІМС у відповідності зі своїм функціональним призначенням виконує певні операції над вхідними сигналами (змінними), а вихідні сигнали являють собою результат цих операцій  $Yj = F(X1, X2, \dots, Xn)$ . Операторами  $F$  можуть бути як найпростіші логічні перетворення, наприклад, І, АБО, НЕ, і т. Д., так і складні багатфункціональні перетворення, які мають місце, наприклад, в мікропроцесорах, БІС пам'яті та ін.

Сигнали управління визначають вид операції, режим роботи ІМС, забезпечують синхронізацію, установку початкового стану, стробирующих вхідні і вихідні сигнали, задають адресу, і т. Д.

Від функціональної складності ІМС залежить і система її електричних параметрів, які в загальному випадку можуть мати десятки найменувань, причому багато з параметрів характерні тільки для ІМС якого-небудь одного класу. Тому нижче розглянемо ті параметри і характеристики, які характеризують більшість мікросхем. Надалі при вивченні окремих пристроїв цей перелік в міру необхідності буде розширено.

*Коефіцієнт об'єднання входу ( $K_{ов}$ ).* Дорівнює числу входів логічного елемента. На них надходять логічні змінні, над якими даний елемент виконує логічну операцію.  $K_{ов}$  обмежує найбільше число змінних функції, яку реалізує даний ЛЕ. При недостатній кількості входів замість одного доводиться використовувати кілька елементів, поєднуючи їх певним чином.

*Коефіцієнт розгалуження по виходу ( $K_{рпв}$ ).* Чисельно дорівнює кількості входів аналогічних елементів, якими можна одночасно навантажити вихід даного елемента



без спотворення передачі інформації. Цей коефіцієнт характеризує навантажувальну здатність елемента і визначається виконанням його вихідного каскаду. Для різних елементів становить від декількох одиниць до декількох десятків.

## 9.2. Статичні і динамічні характеристики

До статичних характеристик відносяться: вхідні ВАХ, визначальна залежність вхідного струму від вхідної напруги; вихідна ВАХ, що показує зв'язок між вихідною напругою і струмом; передатна, яка визначає залежність вихідної напруги від вхідного [6].

На рисунку 9.1 наведена типова передавальна характеристика інвертора ТТЛ – типу. З її допомогою можна визначити ряд параметрів ЛЕ, наприклад, рівні напруг логічної одиниці ( $U_1$ ), логічного нуля ( $U_0$ ), значення порогових напруг, при яких вихідний сигнал перемикається з 1 в 0 ( $U_{0пор}$ ) і навпаки з 0 в 1 ( $U_{1пор}$ ), оцінити завадостійкість елемента.

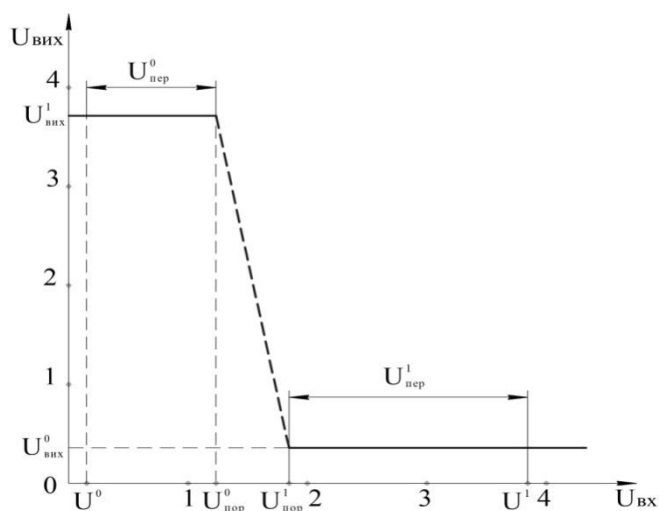


Рисунок 9.1 – Передатна характеристика логічного елемента

### Завадостійкість

Оцінюється найбільшою напругою статичної перешкоди  $U_{ном}$ , діючої на вході, яке не викликає помилкового перемикання елемента з 1 в 0, або навпаки.

Статичними прийнято називати перешкоди, величина яких залишається постійною протягом часу, що значно перевищує тривалість перехідних процесів в схемі. Причиною появи таких перешкод в більшості випадків є падіння напруги на

провідниках, що з'єднують мікросхеми в пристрої. Найбільш небезпечні перешкоди виникають в шинях харчування. Падіння напруги на "земляний" шині, різні для різних ІМС, будуть підсумовуватися з вхідними сигналами і можуть призводити до збоїв. Для виключення подібних ситуацій необхідно уважно ставитися до розташування провідників, що підводять напруга живлення, і збільшувати по можливості їх розтин.

Завадостійкість можна оцінити по передавальній характеристиці елемента (рисунок 9.1), визначивши значення  $U_{0ном}$  і  $U_{1ном}$ .

### *Динамічні характеристики і параметри*

Характеризують швидкодію логічних елементів.

На рисунку 9.2 зображено зміна вихідної напруги в часі при перемиканні з 1 в 0 і навпаки.

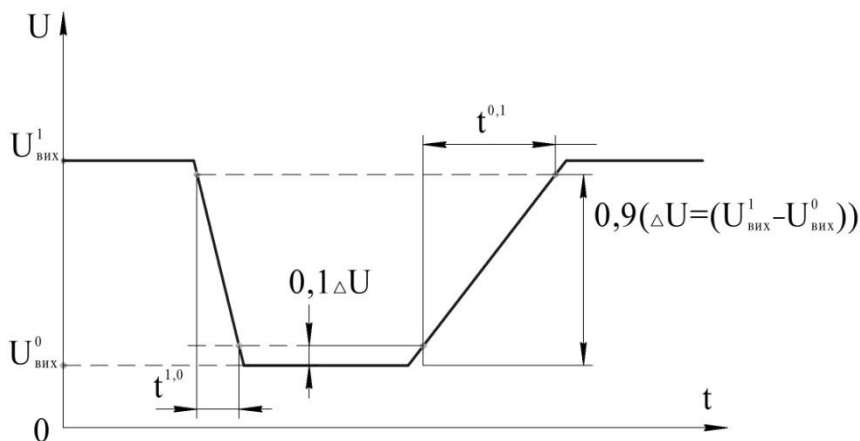


Рисунок 9.2 – Динамічна характеристика логічного елемента

По цій характеристиці визначається час переходу елемента зі стану одиниці в нуль  $t_{1,0}$  і переходу в зворотне стан  $t_{0,1}$ . Ці тимчасові інтервали вимірюються на рівнях  $0,1$  і  $0,9$  від перепаду вихідної напруги при перемиканні елемента ( $\Delta U = (U_{1вих} - U_{0вих})$ ) (при цьому ємність навантаження повинна відповідати заданій) [2].

Часто швидкодію оцінюється часом затримки поширення сигналу при включенні  $t_{зд.р.}^{0,1}$  і виключенні  $t_{зд.р.}^{1,0}$ , а також середнім часом затримки поширення  $t_{зд.р.ср}$  (визначається як півсума затримок при включенні і виключенні). Ці параметри вимірюються на рівнях  $0,5$  від перепадів вхідного і вихідного сигналів (рисунок. 9.3).

Вище, при викладенні курсу, було розглянуто основні логічні елементи, виконують різні функції: І, АБО, НЕ, І-НЕ, АБО-НЕ; ВИКЛЮЧАЄ АБО, виключає АБО-НЕ; І-АБО-НЕ; ПОВТОРЕННЯ (посилення цифрового сигналу) та ін.

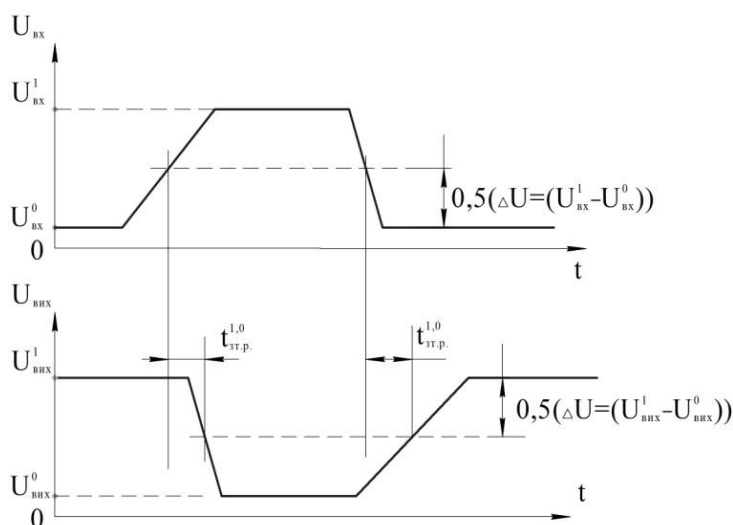


Рисунок 9.3 – Динамічна характеристика оцінки швидкодії логічного елемента

### 9.3. Вхідні та вихідні параметри напруги та струму

#### Споживані струми і потужність

До основних параметрів часто також відносять струми, споживані цифровий ІМС для двох її станів:  $I_{1ном}$ ,  $I_{0ном}$ , і споживану потужність  $P_{ном}$ .

$P_{ном}$  являє собою потужність, споживану мікросхемою від джерела живлення в заданому режимі. Розрізняють  $P_{1ном}$  і  $P_{0ном}$ , споживані ІМС в станах логічних 1 і 0, а також середню споживану потужність

$$P_{ном.ср.} = 0,5 \cdot (P_{1ном} + P_{0ном}). \quad (9.1)$$

#### Вхідні та вихідні струми, напруги

$I_{0вх}$  – граничний вхідний струм при сигналі 0 на вході;

$I_{1вх}$  – граничний вхідний струм при сигналі 1 на вході;

$U_{1вих}$  – мінімальна вихідна напруга при логічній 1 на виході при заданому струмі навантаження;

$U_{0вих}$  – максимальна вихідна напруга при сигналі 0 на виході при заданому струмі навантаження;

$I_{0вих max}$  – максимальний вихідний струм при логічному нулі на виході;

$I_{1вих max}$  – максимальний вихідний струм при логічній одиниці на виході.

### Порогові напруги

Вхідна напруга, при якому відбувається різка зміна вихідної напруги, називається порогом перемикання  $U_{пор}$ . Амплітудна передавальна характеристика реального логічного елемента в перехідній області (штрихова лінія) не має явно вираженого порога перемикання (рисунок 9.1). Зміна вихідної напруги починається при одному значенні вхідної напруги  $U_{0пор}$ , а закінчується при іншому  $U_{1пор}$ . Характеристика має зону невизначеності  $\Delta U_{пор} = U_{1пор} - U_{0пор}$ , що викликано, зокрема, переходом транзистора з режиму відсічення в режим насичення і навпаки.

Порогова напруга логічного нуля  $U_{0пор}$  - найбільше значення низького рівня вхідної напруги, при якому відбувається перехід з одиничного стану в нульове (рисунок 9.1). Порогова напруга логічної одиниці  $U_{1пор}$  - найменше значення високого рівня вхідної напруги, при якому відбувається перехід з нульового стану в одиничне (рисунок 9.1).

Значення  $U_{0пор}$  і  $U_{1пор}$  відрізняються на декілька десятих доль вольт, тому часто передавальна характеристика апроксимується (рисунок 9.4). Тепер  $Por = U_{1пор} = U_{0пор}$ .

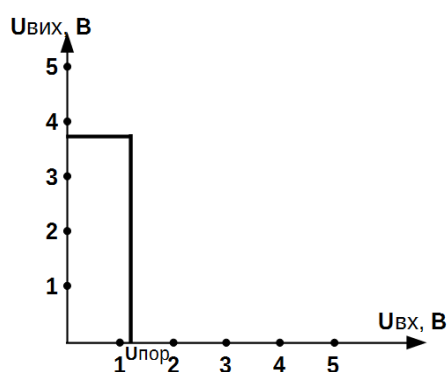


Рисунок 9.4 – Передатна характеристика порога включення логічного елемента

### Допустимі значення основних параметрів

$E_{min}$ ,  $E_{max}$  – допустимі значення напруги живлення;

$U_{1min}$ ,  $U_{0max}$  – допустимі значення рівнів логічних сигналів одиниці і нуля;

$I_{вх.мах}$ ,  $I_{0вих.мах}$ ,  $I_{1вих.мін}$  – допустимий вхідний і вихідний струми в стані 0 і 1.

Існує ще ряд параметрів, наприклад, техніко-економічних, які наводяться в технічній документації, що додається до ІМС, і в довідниках.

# ТЕМА 7. ЕЛЕМЕНТНА БАЗА. РЕАЛІЗАЦІЯ БАЗОВИХ ЛОГІЧНИХ ФУНКЦІЙ

## Лекція 10. Транзисторна базова логіка

### 10.1. Базова ТТЛ логіка (ТТЛШ)

### 10.2. Базова ЕЗЛ логіка

### 10.3. Базова КМОН логіка

Для побудови цифрових пристроїв найбільш широке застосування знаходять інтегральні логічні елементи на базі ТТЛ -, ТТЛШ -, ЕЗЛ - і КМОН - технологій. Всяка мікросхема, що реалізує складну функцію, по суті являє сукупність елементів І-НЕ або АБО-НЕ.

### 10.1. Базовий ТТЛ (ТТЛШ)

Найпростіший ТТЛ елемент [2], назва якого розшифровується як транзисторно-транзисторна логіка, складається з кон'юнкторного, виконаного на багато-емітерному транзисторі  $VT_M$  і транзисторного інвертора  $VT_1$  (рисунок. 10.1).

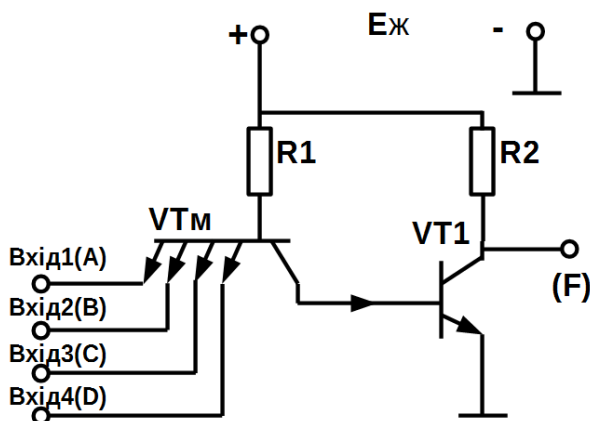


Рисунок 10.1 – Схема найпростішого ТТЛ елемента

При високих рівнях напруги на всіх виходах схеми (логічні 1) всі переходи емітер-база багатоемітерного транзистора  $VT_M$  зміщуються у зворотному напрямку (замкнені), а перехід база-колектор за рахунок напруги  $+E_{ж\text{ив}}$  - у прямому (інверсне включення транзистора). Струм колекторного переходу транзистора  $VT_M$ , що протікає через перехід емітер-база транзистора  $VT_1$ , вводить останній в режим насичення. При цьому з виходу знімається низький рівень напруги (логічний нуль).

Якщо хоча б на один вхід схеми надійде сигнал логічного 0 (низький рівень напруги), VTМ відкривається і на базу VT1 подається низький рівень напруги. Останній закривається і з виходу знімається високий рівень сигналу (логічна одиниця). Таким чином, елемент реалізує логічну функцію І-НЕ ( $F = \overline{A \cdot B \cdot C \cdot D}$ ).

Вихідний опір розглянутого елемента залежить від стану транзистора VT1. Коли він відкритий, воно близько до нуля, а коли замкнений –  $R_{вих} \approx R_k = R_2$

Для підвищення завадостійкості та збільшення навантажувальної здатності ТТЛ елементи містять додаткові транзистори (рисунок. 10.2).

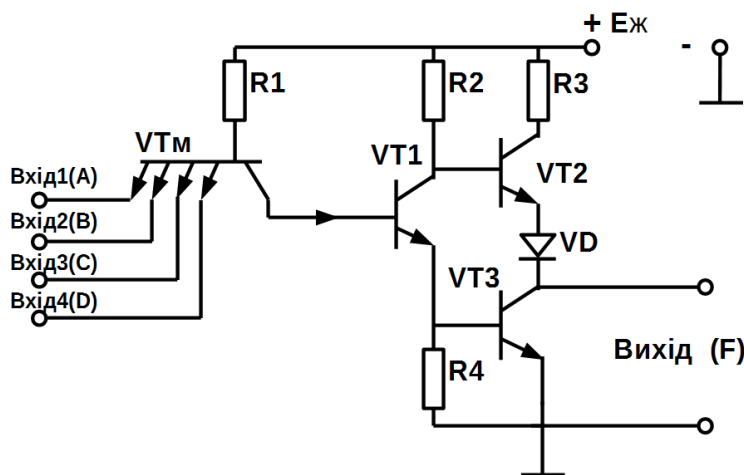


Рисунок 10.2 – Принципова схема для підвищення завадостійкості на базі ТТЛ

Подібна схема називається ТТЛ елементом зі складним інвертором, виконаному на трьох транзисторах VT1, VT2 і VT3. Якщо на всіх входах елемента присутня логічна 1, то емітерний перехід VTМ замкнений, а колекторний - відкритий. Струм бази VTМ через перехід “база-колектор” VTМ надходить до бази VT1. У результаті VT1 входить у режим насичення. Позитивним потенціалом, що знімається з резистора R4, транзистор VT3 відкривається і з виходу схеми знімається логічний 0. Завдяки наявності діода VD транзистор VT2 при цьому надійно закритий.

Діод забезпечує додаткове позитивний приріст напруги на емітер VT2 і називається зміщується. Використання таких діодів – один з типових прийомів інтегральної технології, що дозволяє забезпечити надійне замикання вимкнених транзисторів. Наявність замкненого VT2 в колекторної ланцюга відкритого VT3 практично виключає споживання струму вихідний ланцюгом складного інвертора в

стані спокою (без навантаження). Навантаження, включена між  $+E_{жив}$  і колектором VT3 може викликати чималий струм ( $I_{к.} = VT3 = I_H$ ).

Якщо хоча б на один вхід схеми (рисунок. 10.2) надійде логічний 0, то транзистор VTМ насичується, на його колекторі (базі VT1) з'являється низький рівень напруги і транзистор VT1 замикається. Потенціал його емітера прагне до нуля, а потенціал колектора - до напруги  $+E_{жив}$ . Транзистор VT3 закривається, VT2 – відкривається. З виходу знімаємо високий рівень напруги (логічна 1). Каскад на транзисторі VT2 працює в активному режимі як емітерний повторювач (значення резистора R3 мало (десятки Ом) і може не враховуватися). Вихідний опір емітерного повторювача дуже мало, тому навантажувальна здатність другої схеми (рисунок. 10.2) в порівнянні з першою (рисунок 10.1) значно збільшується.

Споживання струму в вихідній ланцюга ненавантаженого складного інвертора в цьому стані також мало, так як VT3 закритий. Якщо між виходом (колектором VT3) і корпусом включити опір навантаження, то споживаний схемою струм збільшується ( $I_H = I_e VT2$ ).

Відсутність власного споживання струму вихідний ланцюгом складного інвертора робить розглянутий елемент досить економічним.

Разом з тим, ця схема має істотний недолік. При формуванні логічної одиниці на виході струм закритого транзистора VT3  $I_{к03}$  протікає через резистор R4 (рисунок 10.2), створюючи на ньому падіння напруги, спрямоване на відмикання транзистора. Щоб знизити цю напругу значення резистора R4 береться не дуже великим (сотні Ом).

Мале значення R4 шунтує перехід база-емітер VT3 при його відмиканні. Наприклад, при напрузі  $U_{бе.н} VT3 = 0,6$  В через резистор  $R4 = 1$  кОм протікає струм 0,6 мА. Отже, VT3 почне відпиратися тільки після того, як струм через резистор R4 зростає до 0,6 мА. Це призводить до розтягування в часі перехідної області передавальної характеристики розглянутого елемента.

Для усунення зазначених недоліків замість резистора R4 в схему TTL елемента увімкнений нелінійний чотириполюсний (рисунок 10.3), виконаний на транзисторі VT4.



Це дозволяє зменшити тривалість перехідної області передавальної характеристики ТТЛ елемента і підвищити стабільність його параметрів.

Розглянута схема зі складним інвертором також реалізує функцію І-НІ.

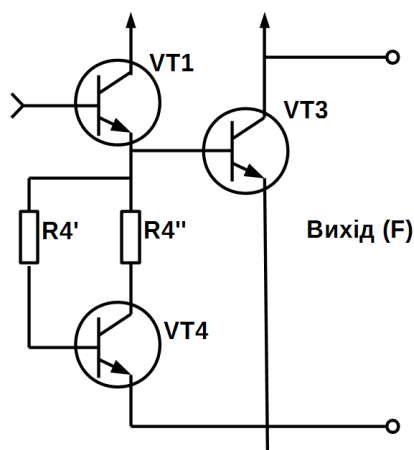


Рисунок. 10.3 – Принципова схема нелінійного чотирьохполюсника дозволяє підвищити стабільність базової схеми ТТЛ

ТТЛ-схеми в даний час досить широко застосовуються в модифікованому ТТЛШ виконанні і містять транзистори і діоди Шоттки (рисунок 10.4).

Нижче показаний приклад двохвхідного логічного ТТЛШ - елемента І-НЕ (рисунок 10.4), що має ряд додаткових елементів, відсутніх в розглянутій вище ТТЛ-схемі (рисунок 10.2).

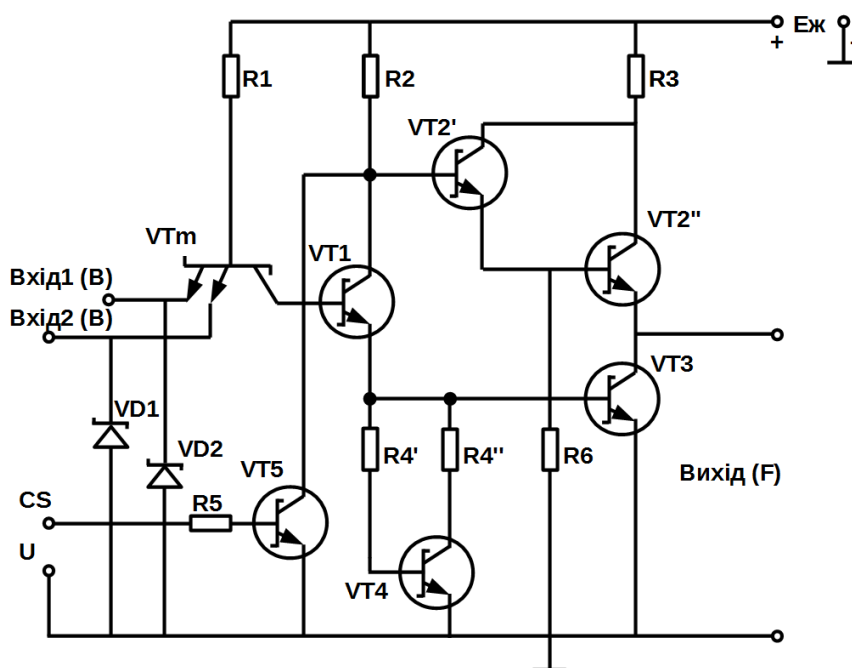


Рисунок 10.4 – Принципова схема двохвхідного логічного елемента «І-НЕ» виконаного на елементній базі ТТЛШ

По-перше, для підвищення навантажувальної здатності замість транзистора VT 2 (рисунок 10.2) в схему введений складовий транзистор (VT2 ', VT2 "). По-друге, для захисту елемента від випадково поданих негативних вхідних сигналів у нього включені діоди VD1, VD2. По-третє, схема містить транзистор VT5, за допомогою якого здійснюється переказ виходу схеми в третьому, (Z) – стан. Позитивний потенціал (логічна 1) на базі транзистора VT5 відкриває його, замикаючи тим самим колектор транзистора VT1 на землю.

Це призводить до того, що транзистори VT2 ', VT2 "і VT3 залишаються замкнені, незалежно від стану вхідних керуючих сигналів. При цьому вихід F відключається як від шини живлення, так і від землі, тобто як би повисає в повітрі. Функціональне позначення такого логічного елемента показано на рисунку 10.5.

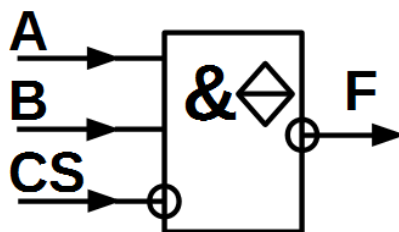


Рисунок 10.5 – Функціональне позначення логічного елемента

Можливість переведення ТТЛ (ТТЛ) схем в третьому стан дозволяє використовувати їх при роботі на одну системну шину, наприклад, в мікропроцесорних пристроях. При цьому до загальної шини підключений цілий ряд різних пристроїв, забезпечених вихідними колами з трьома станами, причому в кожен момент часу із загальною шиною з'єднаний тільки один пристрій, а виходи інших знаходяться в 3-му (Z) - стані, тобто відключені від шини.

### 10.2. Базовий ЕЗЛ логіка - елемент АБО / АБО-НІ

У цьому елементі [6, 9] логічні операції виконуються емітерно-пов'язаними транзисторами, чим і обумовлено назва типу логіки. Елемент має два виходи, на одному з яких фіксується результат операції АБО над вхідними цифровими сигналами, а на іншому - операції АБО-НЕ.

У цій схемі до "землі" приєднана плюсова шина джерела живлення, тому вихідні сигнали мають негативну полярність.

Розроблені на основі схем ЕСЛ ІМС характеризуються високою швидкістю, високою навантажувальною здатністю, низькою завадостійкістю і досить великою споживаною потужністю.

### 7.3. Базовий КМОН логіка

Логічні схеми виконані на базі комплементарний метал-оксидний напівпровідник (доповнюють один одного) МОН (МДП) – транзисторах містять послідовно включені і керовані одним сигналом МОН-транзистори з каналами різних типів провідності (n- і p-типу) (рисунок 10.6).

Коли один з послідовно включених транзисторів відкривається, інший - закривається. Тому такий каскад практично не споживає потужності в статичному режимі.

КМОН-елемент (рисунок 10.6) являє собою дільник напруги +  $E_{жив}$ . Нижнє плече дільника становить транзистор VT2, який називається комутуючим або керуючим. Верхнє плече утворює транзистор VT1, який називається навантажувальним. Якщо на вхід подається високий рівень напруги (логічна 1), то відкривається транзистор VT2 і закривається VT1. Велика частина напруги живлення виділяється на навантажувальному транзисторі VT1, а з виходу знімається низький рівень напруги (логічний 0).

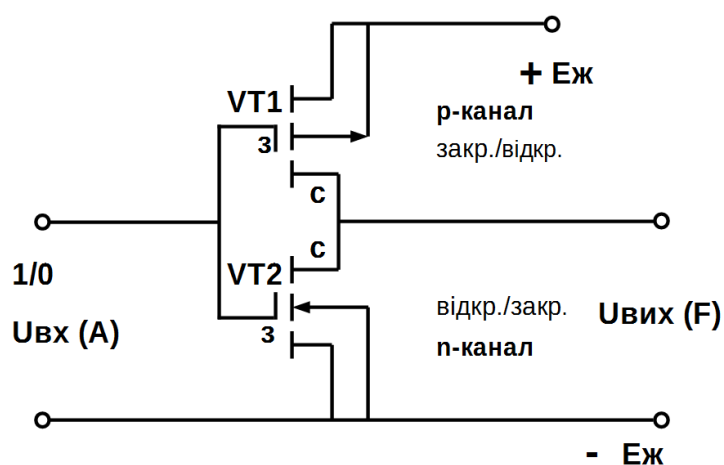


Рисунок 10.6 – Принципова схема логічного елемента виконаного на елементній базі КМОН

Якщо на вхід надходить низький рівень сигналу (логічний 0), то відкривається VT1 і закривається VT2. З виходу знімається високий рівень напруги, а відкритий транзистор VT1 виконує функцію стокового резистора  $R_c$ . Розглянута схема виконує функцію інвертора.

Нижче показана схема логічного елемента з трьома входами АБО-НЕ на КМОН-транзисторах (рисунок 10.7).

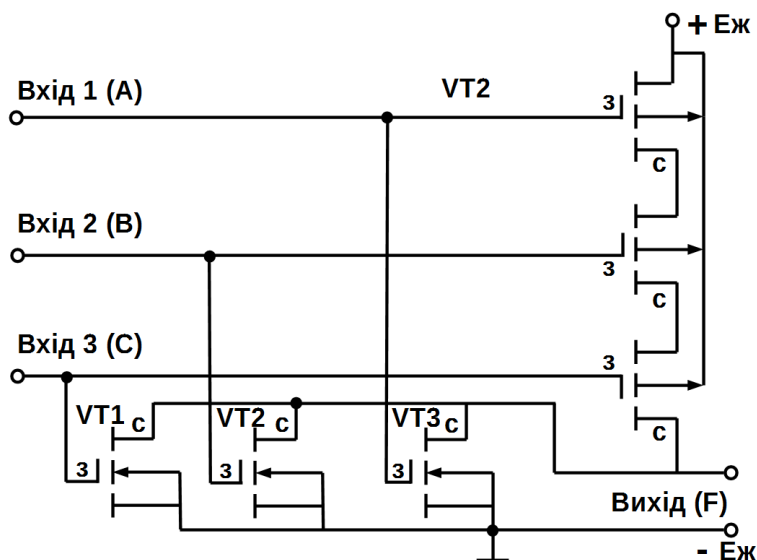


Рисунок 10.7 – Принципова схема двохвхідного логічного елемента «АБО-НІ»

Якщо на будь-який з входів, наприклад, C, подається високий рівень (логічна 1), то відкривається транзистор VT1 і шунтує паралельно включені з ним транзистори VT2 і VT3. Опір нижнього плеча діляника, що складається з трьох паралельно включених керуючих транзисторів VT1, VT2 і VT3, зменшується. Одночасно замикається транзистор VT6 і опір верхнього плеча діляника, що складається з трьох послідовно включених навантажувальних транзисторів VT4, VT5 і VT6 стає досить значним. Велика частина напруги живлення  $+ E_{жив}$  виділяється на навантажувальних транзисторах, а з виходу знімається низький рівень сигналу (логічний 0).

Тільки коли на всіх входах A, B і C присутній низький рівень сигналу (логічний 0), керуючі транзистори закриті, а навантажувальні – відкриті. Падіння на навантажувальних транзисторах мало і вони виконують функцію стокового (навантажувального) резистора  $R_c$  для паралельно включених закритих транзисторів VT1 ... VT3. З виходу знімається високий рівень напруги (логічна 1).

Таким чином, розглянутий елемент (рисунок 10.7) виконує логічну функцію АБО-НІ:

$$F = \overline{A + B + C}. \quad (10.1)$$

Логічні КМОН-елементи мають ряд істотних переваг. По-перше, в статичному стані в ланцюзі джерела  $E_{жив}$  знаходиться замкнений транзистор, так що споживана елементом потужність дуже мала. Споживання потужності відбувається тільки при перемиканні елемента. По-друге, вхідний опір польового транзистора вельми велике, тому кожен наступний елемент практично не навантажує попередній. По-третє, при виконанні по інтегральній технології польовий транзистор займає на підкладці (підставі мікросхеми) меншу площу, ніж біполярний. Недоліком елемента є менша швидкодія, ніж у ТТЛШ – і ЕЗЛ-елементів.

При перевезенні й монтажі КМОН-схем потрібно дотримуватися певних запобіжних заходів. Зокрема, монтажник і всі монтажні інструменти повинні бути заземлені, щоб виключити можливість пробоя ізоляції між затвором і каналом.

## ТЕМА 8. МЕТОДИ АНАЛІЗУ ТА СИНТЕЗУ КОМБІНАЦІЙНИХ СХЕМ

### Лекція 11. Методи синтезу комбінаційних схем

11.1. Канонічний метод синтезу і характеристики комбінаційних схем

11.2. Синтез комбінаційних схем та їх характеристики

11.3. Синтез КС з урахуванням обмеження на  $K_{об}$ .

11.4. Аналіз комбінаційних схем

11.5. Аналіз схем методом асинхронного моделювання і  $\pi$  – алгоритму

Технічним аналогом булевої функції в обчислювальній техніці є, так звана, комбінаційна схема, на вхід якої надходять і з виходу знімаються електричні сигнали у вигляді одного з рівнів напруги, що відповідають значенням логічного 0 і логічної 1.

Для з'ясування, що ж таке комбінаційна схема, розглянемо схему  $S$ , що має  $m$  входів і  $n$  виходів (рисунок 11.1). На її входи можуть бути подані набори значень вхідних змінних  $X_i \in \{0,1\}$ , а на виходах формуються вихідні змінні  $Y_j \in \{0,1\}$ ,  $j = \overline{1,n}$ .

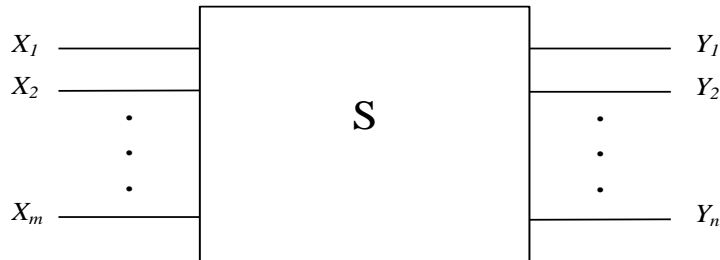


Рисунок 11.1 – Загальне позначення комбінаційних схем

Схема  $S$  називається комбінаційною, якщо кожному з  $n$  функцій її виходів  $Y_1, Y_2, \dots, Y_n$  можна представити як булеву функцію вхідних змінних  $X_1, X_2, \dots, X_m$ .

Комбінаційна схема описується за допомогою системи рівнянь (11.1), де  $F_i$  - булева функція.

$$\begin{aligned}
 Y_1 &= F_1(X_1, X_2, \dots, X_m) \\
 Y_2 &= F_2(X_1, X_2, \dots, X_m) \\
 &\dots\dots\dots \\
 Y_n &= F_n(X_1, X_2, \dots, X_m)
 \end{aligned}
 \tag{11.1}$$

Як впливає з визначення комбінаційної схеми, значення вихідних змінних  $Y_j$  в довільний момент часу однозначно визначаються значеннями вхідних змінних  $X_i$ .

Структурно комбінаційна схема може бути представлена, як сукупність елементарних логічних схем – логічних елементів (ЛЕ). ЛЕ виконують над вхідними змінними елементарні логічні операції типу І-НІ, І, АБО, АБО-НІ і т.д. Число входів логічного елемента відповідає числу аргументів відтворюваної їм булевої функції. Графічне зображення комбінаційної схеми, при якому показані зв'язки між різними елементами, а самі елементи представлені умовними позначеннями, називається функціональною схемою.

У ході розробки комбінаційних схем доводиться вирішувати завдання аналізу та синтезу.

Завдання аналізу полягає у визначенні статичних та динамічних властивостей комбінаційної схеми. У статичі визначаються булеві функції, реалізовані комбінаційною схемою за відомою їй структурі. У динаміці розглядається здатність надійного функціонування схеми в перехідних процесах при зміні значень змінних на входах схеми, тобто визначається наявність на виходах схеми можливих небажаних імпульсних сигналів, що не йдуть безпосередньо з виразів для булевих функцій, реалізованих схемою.

Завдання синтезу полягає в побудові із заданого набору логічних елементів комбінаційної схеми, реалізує задану систему булевих функцій.

Рішення завдання синтезу не є однозначним, можна запропонувати різні варіанти комбінаційних схем, що реалізують одну й ту ж систему булевих функцій, але відрізняються за тими чи іншими параметрами. Розробник комбінаційних схем з цієї безлічі варіантів вибирає один, виходячи з додаткових критеріїв: мінімальної кількості логічних елементів, необхідних для реалізації схеми, максимальної

швидкодії і т.д. Існують різні методи синтезу комбінаційних схем, серед яких найбільш розроблений канонічний метод.

### 11.1. Канонічний метод синтезу комбінаційних схем

Як зазначалося вище, комбінаційна схема (КС) може мати кілька виходів. При канонічному методі передбачається, що кожна вихідна функція реалізується своєю схемою, сукупність яких і дає необхідну КС. Тому синтез складної КС з  $n$  виходами замінюється синтезом  $n$  схем з одним виходом.

Згідно з канонічним методу синтез КС включає в себе ряд етапів.

1. Підлягаючий реалізації булевої функція (або її заперечення) представляється у вигляді СДНФ.

2. З використанням методів мінімізації визначається мінімальна ДНФ (МДНФ) або мінімальна КНФ (МКНФ). З отриманих двох мінімальних форм вибирається більш проста.

3. Булеву функцію в мінімальній формі згідно п.2 представляють в заданому (або обраному розробником) базисі.

4. За поданням функції в заданому базисі будують комбінаційну схему.

Необхідно відзначити, що підлягає реалізації булева функція  $F(X_1, X_2, \dots, X_m)$  може бути задана не на всіх можливих наборах аргументів  $X_1, X_2, \dots, X_m$ . На тих наборах, де функція невизначена, її довизначають так, щоб в результаті мінімізації отримати більш просту МДНФ або МКНФ. При цьому спроститься і сама КС. Крім того, досить часто з метою отримання ще більш простого представлення функції МДНФ, отримана в п.2, представляється в так званій формі, тобто виносяться за дужки загальні частини імплікант МДНФ.

Розглянемо канонічний метод синтезу на прикладі побудови схеми повного однорозрядного двійкового суматора.

Як відомо з курсу машинної арифметики, повний однорозрядний суматор – це пристрій, який здійснює складання по  $mod 2$  відповідних розрядів ( $X_1, X_2$ ) двійкових чисел з урахуванням переносу ( $P_m$ ) в даний розряд з сусіднього молодшого розряду суми. Суматор виробляє цифру результату ( $S$ ) в даному розряді і перенесення ( $P_c$ ) в



сусідній старший розряд суми. Таблиця істинності такого суматора (тобто подання булевої функції, яку він реалізує, у вигляді СДНФ) представлена у таблиці 11.1.

Необхідно отримати булеві функції  $S = F_1(X_1, X_2, P_m)$  і  $P_c = F_2(X_1, X_2, P_m)$ . Карти Карно для цих функцій наведені нижче (рисунок 11.2).

Таблиця 11.1 – Таблиця істинності повного одноразрядного довічного суматора.

|       |   |   |   |   |   |   |   |   |
|-------|---|---|---|---|---|---|---|---|
| $X_1$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| $X_2$ | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| $P_m$ | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| $S$   | 0 | 1 | 1 | 0 | 1 | 0 | 0 | 1 |
| $P_c$ | 0 | 0 | 0 | 1 | 0 | 1 | 1 | 1 |

|                      |    |    |    |    |
|----------------------|----|----|----|----|
| $X_1 \backslash X_2$ | 00 | 01 | 11 | 10 |
| 0                    | 0  | 1  | 0  | 1  |
| 1                    | 1  | 0  | 1  | 0  |

Функція S

|                      |    |    |    |    |
|----------------------|----|----|----|----|
| $X_1 \backslash X_2$ | 00 | 01 | 11 | 10 |
| 0                    | 0  | 0  | 1  | 0  |
| 1                    | 0  | 1  | 1  | 1  |

Функція  $P_c$

Рисунок 11.2 – Карти Карно для функцій S і  $P_c$  суматора.

Як впливає з наведених карт, ДНФ відповідних функцій має вигляд:

$$\begin{aligned}
 S &= P_m + X_2 + X_1 + X_1 \cdot X_2 \cdot P_m, \\
 P_c &= X_1 \cdot X_2 + X_1 \cdot P_m + X_2 \cdot P_m.
 \end{aligned}
 \tag{11.2}$$

Отримана система булевих функцій представлена в базисі I, АБО, НЕ. Відповідна їй КС приведено на рисунку 11.3.

Отриману комбінаційну схему можна спростити, винести за дужки загальні частини у виразах для  $S$  і  $P_c$ , однак істотного результату це не дасть (бажано самостійно в цьому переконатися).

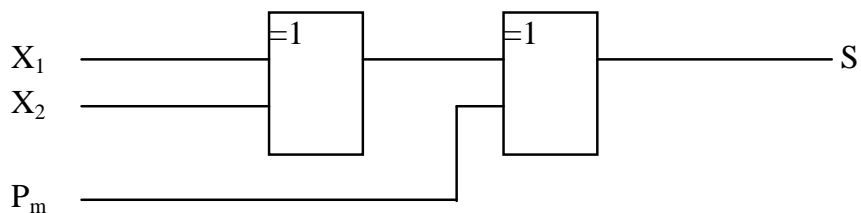


Рисунок 11.3 – Комбінаційна схема

Значно спростити схему можна, якщо скористатися іншим базисом, наприклад логічним елементом "ВИКЛЮЧАЮЧЕ АБО". У цьому випадку вираз для  $S$  можна записати  $S = (X_1 + X_2 + P_m) \bmod 2 = X_1 \oplus X_2 \oplus P_m$ . Тоді схема для  $S$  буде мати вигляд (рисунок 11.3).

Іноді для синтезу КС з декількома виходами може використовуватися наступний прийом. Будемо вважати, що при синтезі схеми суматора функція  $S$  є функцією чотирьох змінних:  $S = f(X_1, X_2, P_m, P_c)$  (рисунок 11.4). Таблиця істинності для цього випадку приймає вигляд зображений у таблиці 11.2.

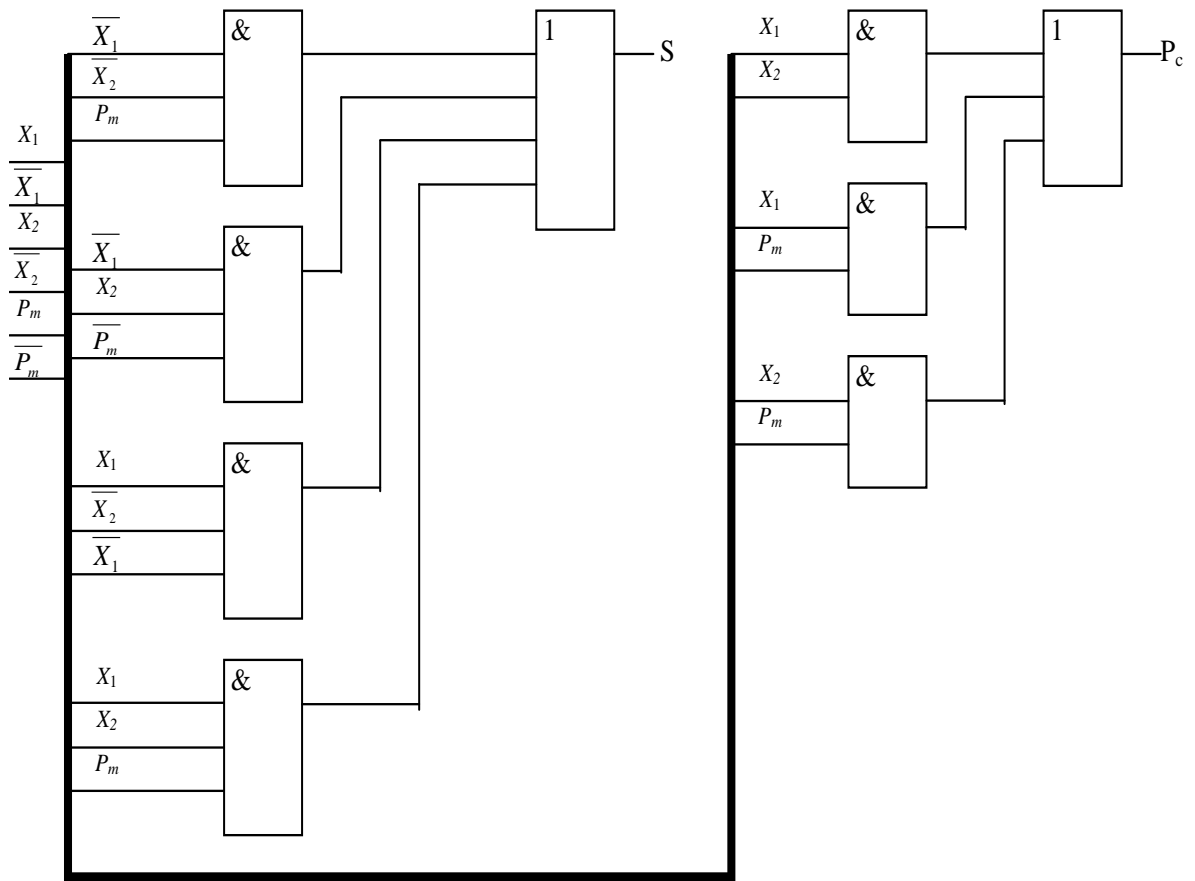


Рисунок 11.4 – Функціональна схема комбінаційного суматора

Таблиця 11.2 – Таблиця істинності суматора

|       |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |   |
|-------|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|---|
| $X_1$ | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 1 |
| $X_2$ | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 |
| $P_m$ | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 | 0 | 0 | 1 | 1 |
| $P_c$ | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 | 0 | 1 |
| $S$   | 0 | X | 1 | X | 1 | X | X | 0 | 1 | X | X | 0 | X | 0 | X | 1 |

Невизначені значення для  $S$  відповідають наборам, які ніколи не можуть бути в реальній схемі. Карта Карно для функції  $S = f(X_1, X_2, P_m, P_c)$  (рисунок 11.5).

| $X_1 \backslash X_2$<br>$P_m P_c$ | 00 | 01 | 11 | 10 |
|-----------------------------------|----|----|----|----|
| 00                                | 0  | 1  | X  | 1  |
| 01                                | X  | X  | 0  | X  |
| 11                                | X  | 0  | 1  | 0  |
| 10                                | 1  | X  | X  | X  |

Рисунок 11.5 – Карта Карно для функції  $S = f(X_1, X_2, P_m, P_c)$

У результаті мінімізації:

$$S = P_m \bar{P}_c + X_2 \bar{P}_c + X_1 \bar{P}_c + X_1 X_2 P_m = (P_m + X_2 + X_1) \bar{P}_c + X_1 X_2 P_m \quad (11.3)$$

Порівнюючи вирази (11.2) і (11.3), відзначаємо, що функція  $S=f(X_1, X_2, P_m, P_c)$  простіше, ніж функція  $S=f_1(X_1, X_2, P_m)$ . Схему, відповідну (11.3) пропонується побудувати самостійно.

Задача синтезу має звичайно кілька рішень. Для порівняння різних варіантів комбінаційних схем використовують їх основні характеристики: складність і швидкодію.

## 11.2. Вхідні та вихідні параметри напруги та струму

### *Характеристики комбінаційних схем*

Складність схеми оцінюється кількістю устаткування, що становить схему. При розробці схем на основі конкретної елементної бази кількість обладнання зазвичай вимірюється числом корпусів (модулів) інтегральних мікросхем, використовуваних у схемі. У теоретичних розробках орієнтуються на довільну елементну базу і тому для оцінки витрат обладнання використовується оцінка складності схем по Квайну.

*Складність (ціна)* по Квайну визначається сумарним числом входів логічних елементів у складі схеми.

При такій оцінці одиниця складності - один вхід логічного елемента. Ціна інверсного входу звичайно приймається рівної двом. Такий підхід до оцінки складності виправданий з наступних причин:

–складність схеми легко обчислюється по булевим функціям, на основі яких будується схема: для ДНФ складність схеми дорівнює сумі кількості букв, (букві зі знаком заперечення відповідає ціна 2), та кількості знаків диз'юнкції, збільшеного на 1 для кожного диз'юнктивного вираження;

–всі класичні методи мінімізації булевих функцій забезпечують мінімальність схеми саме в сенсі ціни по Квайну.

Практика показує, що схема з мінімальною ціною по Квайну зазвичай реалізується найменшим числом конструктивних елементів - корпусів інтегральних мікросхем.

*Швидкодія комбінаційної схеми* оцінюється максимальною затримкою сигналу при проходженні його від входу схеми до виходу, тобто визначається проміжком часу від моменту надходження вхідних сигналів до моменту встановлення відповідних значень вихідних. Затримка сигналу кратна числу елементів, через які проходить сигнал від входу до виходу схеми. Тому швидкодія схеми характеризується значенням  $r\tau$ , де  $\tau$  - затримка сигналу на одному елементі. Значення  $r$  визначається кількістю рівнів комбінаційної схеми, яке розраховується наступним чином. Вхідів КС приписується рівень *нульової*. Логічні елементи, пов'язані тільки з входами схеми ставляться до рівня ПЕРШОМУ. Елемент відноситься до рівня  $k$ , якщо він пов'язаний по входах з елементами рівнів  $k-1$ ,  $k-2$ , і т.д. Максимальний рівень елементів  $r$  визначає кількість рівнів КС, зване рангом схеми. Приклад визначення рангу  $r$  схеми (рисунок 11.6).

Як відомо, будь булева функція може бути представлена в ДНФ, якій відповідає дворівнева комбінаційна схема. Отже, швидкодія будь КС в принципі можна довести до  $2\tau$ .

Мінімізація булевої функції з метою зменшення складності схем зазвичай призводить до необхідності подання функцій в дужковій формі, якої відповідають

схеми з  $r > 2$ . Тобто, зменшення витрат обладнання в загальному випадку призводить до зниження швидкодії схем.

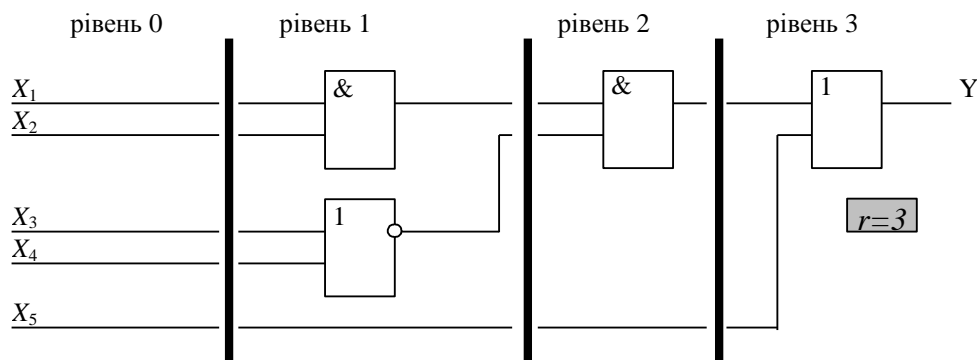


Рисунок 11.6 – Визначення ранга схеми

При побудові КС пристроїв обчислювальної техніки використовуються різні логічні елементи, які повинні узгоджуватися по вхідним і вихідним сигналам, напрузі харчування і т.д. Для цієї мети логічні елементи об'єднують у серії.

Серією (системою, комплексом) логічних елементів ЕОМ називається призначений для побудови цифрових пристроїв функціонально повний набір логічних елементів, поєднує спільними електричними, конструктивними і технологічними параметрами, що використовує однаковий спосіб подання інформації, однаковий тип міжелементних зв'язків. Система елементів найчастіше надлишкова за своїм функціональним складом, що дозволяє будувати схеми більш економічні за кількістю використаних елементів.

До складу серії входять елементи для виконання логічних операцій, що запам'ятовують елементи, елементи, що реалізують функції вузлів ЕОМ, а також спеціальні елементи для посилення, відновлення і формування сигналів стандартної форми.

Конструктивно логічні елементи являють собою мікро-мініатюризовані інтегральні електронні схеми (мікросхеми), сформовані в кристалі кремнію за допомогою спеціальних технологічних процесів.

У більшості сучасних серій елементів є мікросхеми малого ступеня інтеграції (ІС до 100 елементів на кристал), середнього ступеня (СІС - до 1000 елементів на кристал), великої ступеня інтеграції (ВІС - до 10000 елементів на кристал) та

надвеликої ступеня інтеграції (НВІС - більш 10000 елементів на кристал). Логічні елементи у вигляді ІС реалізують сукупність простих логічних операцій: І, АБО, І-АБО, І-НЕ, АБО-НЕ і т.д. Логічні елементи на СІС і БІС реалізують вузли ЕОМ, на НВІС - мікроЕОМ.

Основними параметрами серії логічних елементів є:

- живлять напруги і сигнали для представлення логічного 0 і логічної 1;
- коефіцієнти об'єднання входу;
- навантажувальна здатність (коефіцієнт розгалуження по виходу);
- завадостійкість;
- розсіює потужність;
- швидкодія.

Серія елементів характеризується кількістю використовуваних *живлячих напруг* і їх номінальними значеннями. Зазвичай логічному 0 відповідає низький рівень напруги, а логічною 1 - високий. Для найбільш часто використовуваних серій напруга живлення складає + 5В, рівень логічної одиниці 2,4-5В, рівень логічного 0 - 0-0,4В.

*Коефіцієнт об'єднання входу ( $K_{ов}$ )* визначає максимально можливе число входів логічного елемента, іншими словами, функцію скількох змінних може реалізувати цей елемент. Зазвичай  $K_{ов}$  приймає значення від 2 до 4, рідше  $K_{ов} = 8$ . Збільшення числа входів пов'язано з ускладненням схеми елементів і призводить до погіршення інших параметрів - завадостійкості, швидкодії і т.д.

*Коефіцієнт розгалуження по виходу ( $K_{рпв}$ )* показує на скільки логічних входів може бути одночасно навантажений вихід даного логічного елемента. Зазвичай  $K_{рпв}$  для найбільш часто використовуваних серій дорівнює 10. Іноді замість  $K_{рпв}$  задається гранично допустиме значення вихідного струму логічного елемента в стані 0 або 1.

*Завадостійкість* – це здатність елемента правильно функціонувати при наявності перешкод. Вона визначається максимально допустимою напругою завади, при якому не відбувається збою в його роботі. Зазвичай це напруга порядку 0,6-0,9 В.

*Швидкодія* логічних елементів є одним з найважливіших параметрів і характеризується часом затримки поширення сигналу. Цей параметр істотно залежить від технології виготовлення мікросхем і лежить в діапазоні від одиниць до сотень наносекунд.

Найбільш часто вживані типи інтегральних мікросхем - це потенційні елементи транзисторних-транзисторної логіки (ТТЛ) – серії К155, К555, К531, К1533 і т.д., транзисторної логіки з емітерний зв'язками (Естлі) – це серії К500, К1500, елементи на КМОН транзисторах – серії К176, К561, К564 і т.д.

При синтезі КС на реальних логічних елементах необхідно обов'язково враховувати обмеження на  $K_{об}$  і  $K_{рпв}$ .

### 11.3. Синтез КС з урахуванням обмеження на $K_{об}$ .

Поданням функції у вигляді ДНФ відповідає дворівнева КС (якщо вважати, що на її вхід можуть надходити як прямі так і інверсні вхідні сигнали), на першому рівні якої елементи І, а їх виходи об'єднуються на другому рівні елементом АБО. Така побудова КС забезпечує її максимальну швидкодію, оскільки ранг схеми мінімальний. Однак, не завжди можливо на першому рівні і, особливо, на другому вибрати логічні елементи з необхідним  $K_{об}$ , тому може виявитися, що ЛЕ з таким  $K_{об}$  не випускаються промисловістю. У цьому випадку необхідно за допомогою декількох елементів з меншим  $K_{об}$  отримати еквівалент з великим  $K_{об}$  або, що краще, перетворити БФ, перейшовши від ДНФ до сКовочной формі. Цей перехід супроводжується зменшенням  $K_{об}$  логічних елементів, необхідного для побудови схеми. Здійснити такий перехід можна за допомогою *факторного алгоритму*, суть якого розглядається в навчальному посібнику(1).

### 11.4. Аналіз комбінаційних схем

Завдання аналізу КС виникають при необхідності перевірити правильність синтезу (на етапі проектування) або визначити БФ, реалізовану КС (при аналізі або ремонті схем). Всі існуючі методи аналізу діляться на *прямі* і *непрямі*.

У результаті аналізу КС *прямим* методом виходить безліч наборів вхідних змінних, що забезпечують задане значення на виході, що дозволяє записати в алгебраїчному вигляді БФ, реалізовану схемою. До прямих методів відноситься метод  $\pi$ - алгоритму.



Застосування *непрямих* методів дає можливість визначити реакцію схеми на заданий набір вхідних змінних в статиці або проаналізувати перехідний процес зміни одного вхідного набору на інший. Прикладами непрямих методів аналізу, є методи синхронного та асинхронного моделювання.

Всі згадані методи аналізу є машино-орієнтованими, що дозволяє виконати аналіз схеми на ЕОМ.

Для всіх методів аналізу необхідно описати схему у вигляді схемного списку, до якого включається в загальному випадку такі дані: номер ЛЕ у схемі; логічна функція, реалізована ЛЕ; вхідні змінні для даного ЛЕ.

### 11.5. Аналіз комбінаційних схем методом $\pi$ -алгоритму

При цьому методі, як згадувалося вище, шукаються набори вхідних змінних, що забезпечують задане значення на виході КС. Набори, що забезпечують на виході КС логічну 1, утворюють так зване *одиничне покриття*  $S^1$ .

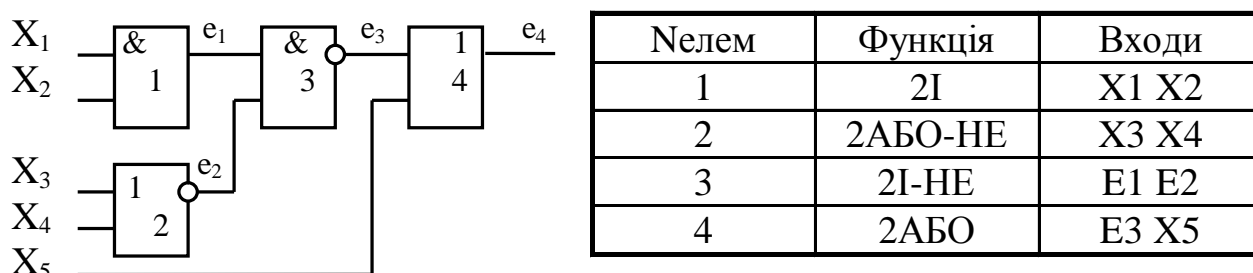


Рисунок 11.8 – Приклад аналізу КС

Аналогічно, вхідні набори, що забезпечують на виході КС логічний 0, утворюють *нульове покриття*  $S^0$ . Розглянемо покриття і для найпростішого логічного елемента 2І, що виконує функцію  $Y = X_1X_2$ . Таблиця істинності для цієї функції:

Таблиця 11.3 – Таблиця істинності функції  $Y = X_1X_2$

| X1 | X2 | Y |
|----|----|---|
| 0  | 0  | 0 |
| 0  | 1  | 0 |
| 1  | 0  | 0 |
| 1  | 1  | 1 |

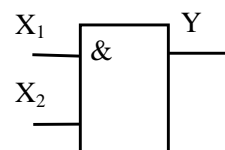


Рисунок 11.9 – Логічний елемент

Як видно з наведеної таблиці тільки при єдиному наборі  $X_1 = 1$  і  $X_2 = 1$  на виході ЛЕ буде 1, тобто одиничне покриття включає тільки один набір  $= \{1 -1\}$ . На виході ЛЕ буде 0 при трьох наборах, що утворюють нульове покриття:

$$C^0 = \begin{bmatrix} 00 \\ 01 \\ 10 \end{bmatrix} \quad (11.10)$$

Це покриття можна спростити, зауваживши, що перший набір склеюється з другим і третім, тобто:

$$C^0 = \begin{bmatrix} 0X \\ X0 \end{bmatrix} \quad (11.11)$$

Т.ч. для ЛЕ 2І можна сказати, що 1 на його виході буде тільки при обох одиницях на входах, а для забезпечення 0 на виході достатньо подати хоча б на один вхід 0. Міркуючи аналогічно, отримаємо таблицю покриттів і для основних ЛЕ, представлених нижче у таблиці 8.4.

При аналізі схеми методом  $\pi$  - алгоритму, задавшись певним значенням на виході, замінюють його відповідним покриттям елемента, що формує вихідний сигнал. У результаті цього визначається, які повинні бути сигнали на виходах елементів, підключених до вихідного ЛЕ. У свою чергу, сигнали на виходах цих елементів можна замінити відповідними покриттями, тобто визначити значення вихідних сигналів для інших ЛЕ і т.д. Цей процес продовжується до тих пір, поки не вийдуть покриття, що складаються тільки з вхідних змінних, званих опорними. Сукупність таких покриттів і дає відповідне покриття схеми.(див навчальний посібник)

#### *Методом асинхронного моделювання*

Реальний ЛЕ перемикається за якийсь кінцеве час, що залежить від технології виготовлення, умов експлуатації, ємностей навантаження і т.д. Проходження сигналу

послідовно через кілька ЛЕ буде призводити до накопичення часу затримки і виникненню зсуву в часі вихідного сигналу по відношенню до вхідного. Наявність затримки і породжуваного нею тимчасового зсуву сигналів може призводити до появи на виході окремих ЛЕ і всієї схеми в цілому короточасних сигналів, не передбачених БФ, реалізованої схемою. Як ілюстрацію, розглянемо схему (рисунок 11.10а).

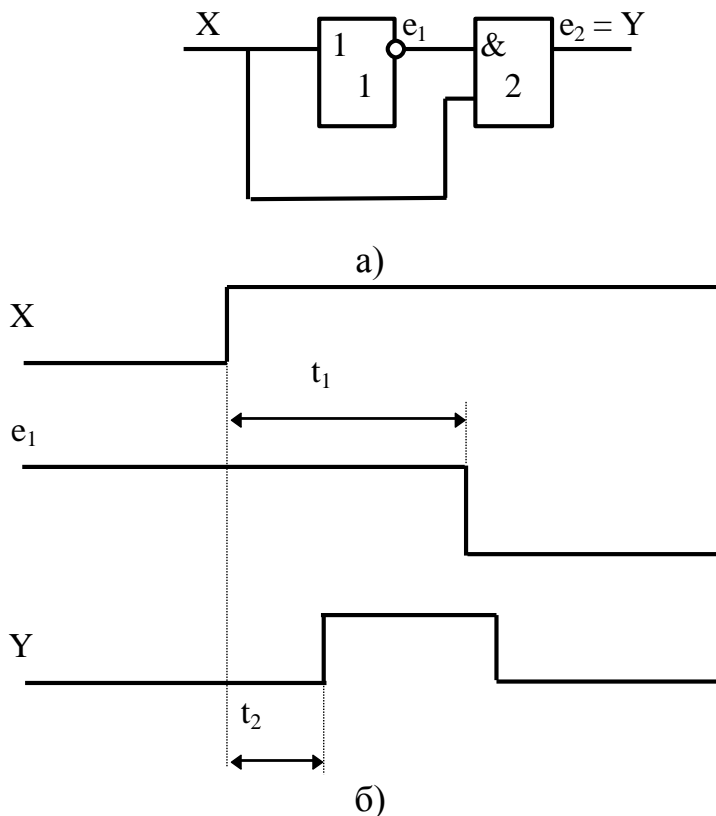


Рисунок 11.10 – Статичний ризик збою: а) – схема; б) – тимчасові діаграми ( $t_1$ - час затримки інвертора;  $t_2$ -час затримки елемента 2І)

Дана схема реалізує функцію, тобто константу 0 незалежно від вхідного сигналу X. Однак в перехідному процесі в результаті затримки спрацьовування ЛЕ можлива ситуація, коли на обох входах елемента 2І будуть логічні одиниці, що може призвести до появи на виході схеми логічної 1 (рисунок 11.11, б). Розглянутий випадок можливий при затримці спрацьовування другого елемента більше, ніж перший. Таке явище називається ризиком збою. Розрізняють статистичний і динамічний ризики збою.

При статичному ризик збою до і після перехідного процесу стан вихідного сигналу одне і те ж, а під час перехідного процесу можливе короткочасне поява протилежної сигналу.

При динамічному ризик збою до і після перехідного процесу стану вихідного сигналу протилежні, але в перехідному процесі вихідний сигнал кілька разів змінює своє значення. Динамічний ризик збою можливий у схемі (рисунок 11.12, а) на зміну набору ( $X_1 = 0, X_2 = 1, X_3 = 1$ ) на набір ( $X_1 = 1, X_2 = 0, X_3 = 0$ ) і ілюструється діаграмами (рисунок 11.11,б).

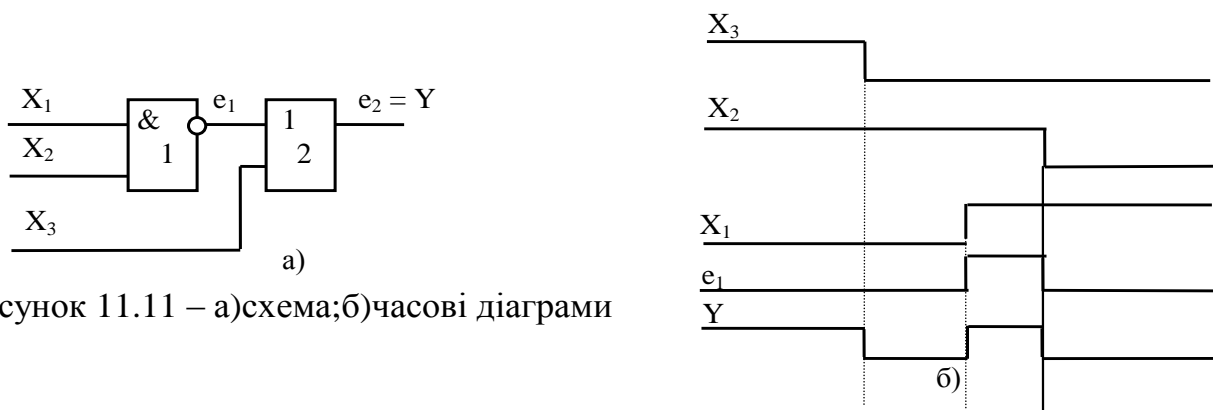


Рисунок 11.11 – а)схема;б)часові діаграми

У даному прикладі динамічний ризик збою на виході КС супроводжується статичним на виході елемента 1. Як видно з часових діаграм ризик збою має місце за наявності певного тимчасового зсуву між сигналами, які надходять на вхід ЛЕ. Небажані сигнали на виході можуть бути і відсутніми при іншому співвідношенні часових сигналів, однак принципова можливість їх появи є чинником знижує надійність роботи схеми. Тому дуже важливо вміти виявляти і усувати такі явища.

Для аналізу процесу перемикання КС при зміні вхідних наборів і виявлення ризиків збою використовується метод асинхронного моделювання. При цьому методі вважається, що кожен елемент перемикається з однаковою затримкою. Аналіз включає такі етапи:

1. Кожному елементу схеми присвоюється рівень, причому рівень 1 мають елементи, всі входи яких є незалежними входами схеми.
2. Записуються рівняння, що описують кожен ЛЕ в порядку убудування рівня.

3. Для початкового вхідного набору А ( $X_1, X_2, \dots, X_n$ ) визначається значення сигналів на виходах всіх ЛЕ схеми. Нехай даний набір А замінюється набором В ( $X_1, X_2, \dots, X_n$ ).

4. Помічаються ті рівняння, в правій частині яких хоча б одна з змінних змінила своє значення.

5. Вирішуються помічені рівняння в порядку їх запису в схемі. Після рішення рівняння вважається непомічені.

6. Якщо після вирішення всіх рівнянь системи змінні, що входять в ліві частини рівнянь, змінили свої значення, то знову позначаються ті рівняння, в праві частини яких входять ці змінні. Потім здійснюється перехід до п.5. В іншому випадку моделювання даного вхідного набору вважається закінченим. Виконання п.5 називається тактом моделювання.

Аналіз схеми (рисунок 11.12) методом асинхронного моделювання наведено нижче. Для даної схеми вхідний набір А (1011110) замінюється набором В (1101011).

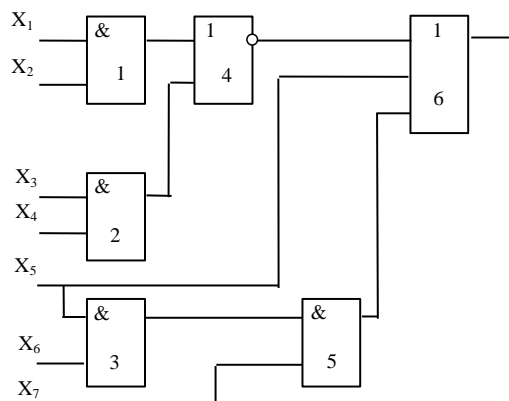


Рисунок 11.12 – Комбінаційна схема для методу асинхронного моделювання.

Як впливає з результатів моделювання, при зміні набору А набором В на виході елемента 4 має місце статичний ризик збою, а на виході схеми - динамічний ризик збою.

Радикальним способом усунення ризиків збою є введення стробування для зняття вихідного сигналу КС. Стробуючий імпульс подається після закінчення перехідного процесу в КС (тобто коли на виході КС вже встановилося необхідне

значення вихідного сигналу), що виключає вплив можливих збоїв на вироблюваний схемою сигнал.

Рівняння, що описують ЛЕ (таблиця 11.8).

Таблиця 11.8 – Рівняння , що описують логічні елементи

|                              | 1-й такт | 2-й такт | 3-й такт |
|------------------------------|----------|----------|----------|
| $Y = e_6 = e_4 + e_5 + X_5$  | *        | *        | *        |
| $e_5 = e_3 \cap X_7$         | *        | *        | -        |
| $e_4 = \overline{e_1 + e_2}$ | -        | *        | -        |
| $e_3 = X_5 \cap X_6$         | *        | -        | -        |
| $e_2 = X_5 \cap X_4$         | *        | -        | -        |
| $e_1 = X_1 \cap X_2$         | *        | -        | -        |

## ТЕМА 9. ДВІЙКОВІ КОДИ

### Лекція 12. Коди що розпізнають помилки

- 12.1. Поняття надлишковості
- 12.2. Додатковий двійковий код
- 12.3. Коди «2 із 5 ; 3 із 5: 2 із 7»
- 12.4. Принцип дії кодів, які виправляють помилки
- 12.5. Код Хеммінга
- 12.6. Завдання до розділу

#### 12.1. Поняття надлишковості

Розпізнавання помилок можливе тільки за наявності додаткової надлишкової інформації, тобто передавана інформація перевищує необхідний мінімум. Якщо оратор дуже коротко про щось розповідає, то часто по його мові не можна оцінити правильність висловлювання. Якщо ж оратор під час виступу дає додаткові відомості, то можлива перевірка правильності сказаного. Така додаткова інформація називається надлишковою (*redundans*, лат. - удосталь).

Наша мова і писемність містять досить велику надлишковість. Тільки завдяки надлишковості можна ідентифікувати орфографічні помилки і друкарські помилки. Це стає зрозуміло, якщо ми розглянемо приклад інформації без надлишковості. Цифра 7 представляється в двійково-десятковому коді як 0111. Якщо в процесі передачі даних 1 помилково передасться як 0, то вийде 0101. Це вже цифра 5. Без додаткової інформації ми не дізнаємося, що отримана 5 помилкова.

Якщо цифра 7 передаватиметься в словесній формі як "сім" і в процесі передачі буде змінена одна буква, то помилка буде відразу очевидна (наприклад, "сіи" замість "сім"). Словесна форма містить додаткову інформацію, надлишковість.

Надлишковість існує завжди у тому випадку, якщо окрім власне інформації передаються додаткові відомості, які допомагають при пізнаванні або виправленні помилки.

Щоб визначити наявність помилки, у багатьох випадках вистачає незначної надлишковості. Якщо помилка має бути не лише ідентифікована, але і виправлена, потрібно більше додаткових відомостей – велику надлишковість.

Для виправлення помилок потрібна більша надлишковість, ніж тільки для їх ідентифікації.

Потреба в ідентифікації помилок і їх виправленні привела до появи спеціалізованих кодів.

## 12.2. Додатковий двійковий код

Кращим прикладом надлишкового кодування для першого знайомства є розширений двійковий код. В табл. 12.1 показаний вже розглянутий двійково-десятковий код. Він містить додатковий розряд, додатковий 5-й біт. Стовець 5-го біта позначений у таблиці 12.1 як E.

5-м бітом двійково-десятковий код доповнюється на "парність". Це означає, що він доповнюється так, щоб кількість бітів, що мають значення 1, була парною.

Для десяткової цифри 0 доповнення не потрібно. Десяткова цифра 1 записується як 0001. Кількість бітів, які мають значення 1, рівна 1, тобто непарна. Таким чином, 5-й біт набуває значення 1. У десятковій цифрі 2 (0010) також тільки один біт дорівнює 1. Отже, E набуває значення 1. У десятковій цифрі 3 (0011) два біти мають значення 1. Кількість бітів, рівних 1, є парною. E набуває значення 0 і т. д.

Таблиця 12.1 – Утворення двійкового додаткового коду з BCD- коду

| Десяткова<br>цифра | $2^3$<br>8 | $2^2$<br>4 | $2^1$<br>2 | $2^0$<br>1 | E |
|--------------------|------------|------------|------------|------------|---|
| 0                  | 0          | 0          | 0          | 0          | 0 |
| 1                  | 0          | 0          | 0          | 0          | 1 |
| 2                  | 0          | 0          | 1          | 0          | 1 |
| 3                  | 0          | 0          | 1          | 1          | 0 |
| 4                  | 0          | 1          | 0          | 0          | 1 |
| 5                  | 0          | 1          | 0          | 1          | 0 |
| 6                  | 0          | 1          | 1          | 0          | 0 |
| 7                  | 0          | 1          | 1          | 1          | 1 |
| 8                  | 1          | 0          | 0          | 0          | 1 |
| 9                  | 1          | 0          | 0          | 1          | 0 |



Кожна десяткова цифра представляється 5-бітової кодовою комбінацією. 5-й біт є додатковою інформацією, тобто надлишковим. Він називається контрольним розрядом або бітом.

Кожна 5-бітова кодова комбінація перевіряється особливою схемою, так званим контролером парності, на парність одиниць (рисунок 12.1). Якщо комбінація парна, то  $Z=0$ . Якщо непарна, то  $Z=1$ . При  $Z=1$  з'являється повідомлення про помилку.

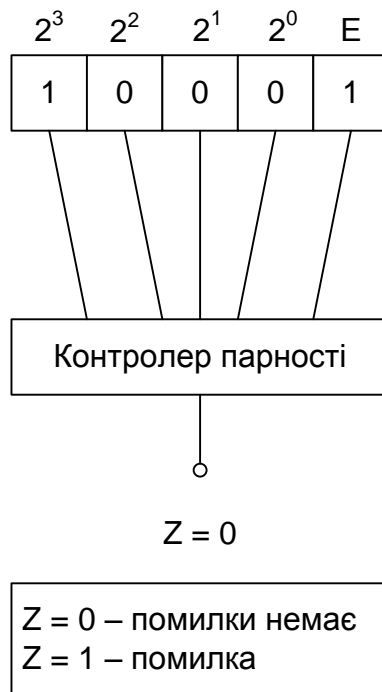


Рисунок 12.1 – Розпізнавання помилки за допомогою контролю парності

Якщо при передачі даних помилково замість 0 передана 1 або замість 1 переданий 0, то виводиться повідомлення про помилку. Визначається тільки те, що передана десяткова цифра помилкова. Невідомо, яка вона повинна бути насправді. Значить, вона не може бути виправлена.

Якщо в 5-бітової кодової комбінації два біти помилкові, то повідомлення про помилку не видається, так як число одиничних бітів знову парне. Такі помилки не розпізнаються в розширеному двійковому коді.

Імовірність виникнення такої помилки дуже мала. Якщо вона все ж виникне, то швидше за все в даному сеансі зв'язку мають місце багато помилок, що розпізнаються з одним невірним бітом, і буде виведено повідомлення про помилку в передачі даних.

### 12.3. Коди «2 із 5; 3 із 5; 2 із 7»

Крім розширеного двійкового коду існує безліч 5-бітових кодів, з яких так звані коди «2 з 5» мають особливе значення. У цьому коді розпізнавання помилки відбувається так само, як і при двійковому розширеному коді, за допомогою перевірки парності.

Кодувальні таблиці 12.2 для лексикографічного коду, коду Волкінга, коду 7-4-2-1-0 та коду 8-4-2-1-0.

Таблиця 12.2 – Кодувальні таблиці найважливіших кодів 2 з 5

| Номер біта      | Лексикографічний код |   |   |   |   | Код Волкінга |   |   |   |   | 7-4-2-1-0-код |   |   |   |   | 8-4-2-0-1-код |   |   |   |   |
|-----------------|----------------------|---|---|---|---|--------------|---|---|---|---|---------------|---|---|---|---|---------------|---|---|---|---|
|                 | 5                    | 4 | 3 | 2 | 1 | 5            | 4 | 3 | 2 | 1 | 5             | 4 | 3 | 2 | 1 | 5             | 4 | 3 | 2 | 1 |
| Вага            | Немає                |   |   |   |   | Немає        |   |   |   |   | 7             | 4 | 2 | 1 | 0 | 8             | 4 | 2 | 1 | 0 |
| Десяткова цифра |                      |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
| 0               | 0                    | 0 | 0 | 1 | 1 | 0            | 0 | 0 | 1 | 1 | 1             | 1 | 0 | 0 | 0 | 1             | 0 | 1 | 0 | 0 |
| 1               | 1                    | 1 | 0 | 0 | 0 | 0            | 0 | 1 | 0 | 1 | 0             | 0 | 0 | 1 | 1 | 0             | 0 | 0 | 1 | 1 |
| 2               | 1                    | 0 | 1 | 0 | 0 | 0            | 0 | 1 | 1 | 0 | 0             | 0 | 1 | 0 | 1 | 0             | 0 | 1 | 0 | 1 |
| 3               | 1                    | 0 | 0 | 1 | 0 | 0            | 1 | 0 | 1 | 0 | 0             | 0 | 1 | 1 | 0 | 0             | 0 | 1 | 1 | 0 |
| 4               | 1                    | 0 | 0 | 0 | 1 | 0            | 1 | 1 | 0 | 0 | 0             | 1 | 0 | 0 | 1 | 0             | 1 | 0 | 0 | 1 |
| 5               | 0                    | 1 | 1 | 0 | 0 | 1            | 0 | 1 | 0 | 0 | 0             | 1 | 0 | 1 | 0 | 0             | 1 | 0 | 1 | 0 |
| 6               | 0                    | 1 | 0 | 1 | 0 | 1            | 1 | 0 | 0 | 0 | 0             | 1 | 1 | 0 | 0 | 0             | 1 | 1 | 0 | 0 |
| 7               | 0                    | 1 | 0 | 0 | 1 | 0            | 1 | 0 | 0 | 1 | 1             | 0 | 0 | 0 | 1 | 1             | 1 | 0 | 0 | 0 |
| 8               | 0                    | 0 | 1 | 1 | 0 | 1            | 0 | 0 | 0 | 1 | 1             | 0 | 0 | 1 | 0 | 1             | 0 | 0 | 0 | 1 |
| 9               | 0                    | 0 | 1 | 0 | 1 | 1            | 0 | 0 | 1 | 0 | 1             | 0 | 1 | 0 | 0 | 1             | 0 | 0 | 1 | 0 |

Лексикографічний код і код Волкінга не розрізняють «ваги» двійкових розрядів. У 7-4-2-1-0-коді двійковим розрядам присвоєні ваги 7, 4, 2, 1 і 0. Вага не має значення для десяткової цифри 0, тобто для першого рядка таблиці коду.

У 8-4-2-1-0-коді двійковим розрядам присвоєні ваги 8, 4, 2, 1 і 0. Це розходження діє обмежено, тобто не дійсне для десяткових цифр 0 і 7.

Крім кодових таблиць коду з 0 і 1 також поширені так звані таблиці переведення. У таблицях переведення кожна 1 позначена заштрихованим полем, а кожен 0 - порожнім (таблиця 12.3). Це подання дуже наочне.

Таблиця 12.3 – Таблиці переведення найважливіших кодів 2 з 5

|                 | Лексикографічний код |   |   |   |   | Код Волкінга |   |   |   |   | 7-4-2-1-0-код |   |   |   |   | 8-4-2-0-1-код |   |   |   |   |
|-----------------|----------------------|---|---|---|---|--------------|---|---|---|---|---------------|---|---|---|---|---------------|---|---|---|---|
|                 | 5                    | 4 | 3 | 2 | 1 | 5            | 4 | 3 | 2 | 1 | 5             | 4 | 3 | 2 | 1 | 5             | 4 | 3 | 2 | 1 |
| Номер біта      |                      |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
| Вага            | Немає                |   |   |   |   | Немає        |   |   |   |   | 7             | 4 | 2 | 1 | 0 | 8             | 4 | 2 | 1 | 0 |
| Десяткова цифра | 0                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 1                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 2                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 3                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 4                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 5                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 6                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 7                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 8                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |
|                 | 9                    |   |   |   |   |              |   |   |   |   |               |   |   |   |   |               |   |   |   |   |

*Код «3 із 5»*

З 5-бітових комбінацій також можна побудувати код 3 з 5. Кожна 5-бітова комбінація містить три стани 1 і два 0. Часто використовується код Лоренца і шифрувальний код номер 3 у таблиці 12.4.

Для розпізнавання помилки проводиться перевірка на непарність. 5-бітова комбінація безпомилкова тільки за умови, що три її біта мають стан 1 і два біти стан 0. Якщо це не так, то контролер непарності на виході показує стан 1 і видає повідомлення про помилку (рисунок 12.2).

Таблиця 12.4 – Переведення найважливіших кодів 2 з 5

|                    |   | Код Лоренца |   |   |   |   | Шифрувальний код № 3 |   |   |   |   |
|--------------------|---|-------------|---|---|---|---|----------------------|---|---|---|---|
| Номер біта         |   | 5           | 4 | 3 | 2 | 1 | 5                    | 4 | 3 | 2 | 1 |
| Вага               |   | 4           | 3 | 2 | 1 | 0 | Немає                |   |   |   |   |
| Десяткова<br>цифра | 0 | ■           |   |   | ■ | ■ |                      | ■ |   | ■ | ■ |
|                    | 1 | ■           |   | ■ |   | ■ | ■                    | ■ | ■ |   |   |
|                    | 2 | ■           | ■ |   |   | ■ | ■                    | ■ |   | ■ |   |
|                    | 3 |             |   | ■ | ■ | ■ | ■                    | ■ |   |   | ■ |
|                    | 4 |             | ■ |   | ■ | ■ | ■                    |   | ■ | ■ |   |
|                    | 5 |             | ■ | ■ |   | ■ | ■                    |   | ■ |   | ■ |
|                    | 6 |             | ■ | ■ | ■ |   | ■                    |   |   | ■ | ■ |
|                    | 7 | ■           |   | ■ | ■ |   |                      |   | ■ | ■ | ■ |
|                    | 8 | ■           | ■ |   | ■ |   |                      | ■ | ■ | ■ |   |
|                    | 9 | ■           | ■ | ■ |   |   |                      | ■ | ■ |   | ■ |

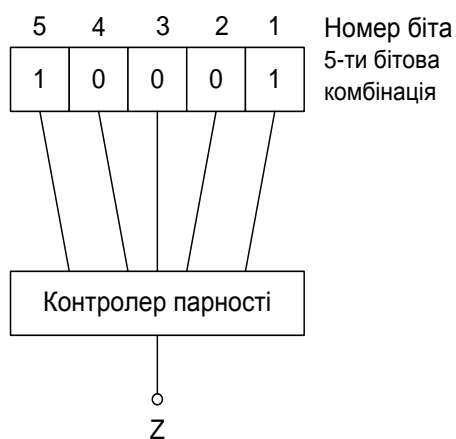


Рисунок 12.2 – Розпізнавання помилки за допомогою контролю непарності

Коди «3 з 5» використовуються насамперед для гарантованої передачі чисел на великі відстані.

*Код «2 із 7»*

Коди «2 з 7» складаються з 7-бітових комбінацій. 7-бітові комбінації також називаються 7-бітовим словом. Кожна десяткова цифра представляється 7 бітами. Отримана при цьому надлишковість більша, ніж при поданні цифри тільки 5 бітами.

З 7 бітів 2 біти завжди мають стан 1 і 5 бітів стан 0. Два часто вживані коду «2 з 7» показані у таблиці 12.5.

Це двійково-п'ятірковий код і відбитий двійково-п'ятірковий код. Біти 6 і 7 утворюють код «1 з 2». Біти номер 5, 4, 3, 2 і 0 утворюють код 1 з 5. Така структура коду дозволяє відносно просту обробку 7-бітового слова. Відбитий двійково-п'ятірковий код виходить простим утворенням доповнення. Доповнення утворюється шляхом заміни 1 на 0 в бітах номер 6 і 7.

Таблиця 12.5 – Переведення двійково-п'ятіркового коду і відбитого двійково-п'ятіркового коду

|                 |   | Двійково-п'ятірковий код |   |   |   |   |   |   | Відображений двійково-п'ятірковий код |   |   |   |   |   |   |
|-----------------|---|--------------------------|---|---|---|---|---|---|---------------------------------------|---|---|---|---|---|---|
| Номер біта      |   | 7                        | 6 | 5 | 4 | 3 | 2 | 1 | 7                                     | 6 | 5 | 4 | 3 | 2 | 1 |
| Вага            |   | 5                        | 0 | 4 | 3 | 2 | 1 | 0 | Немає                                 |   |   |   |   |   |   |
| Десяткова цифра | 0 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 1 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 2 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 3 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 4 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 5 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 6 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 7 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 8 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |
|                 | 9 |                          |   |   |   |   |   |   |                                       |   |   |   |   |   |   |

#### **12.4. Принцип дії кодів, що виправляють помилки**

Перш ніж помилка може бути виправлена, вона повинна бути виявлена.

Код, що виправляє помилки, також є кодом, що розпізнає помилки.

У порівнянні з кодом, що розпізнає помилки, код з виправленням помилок володіє більшою надлишковістю. Для передачі одного знака потрібно на кілька біт більше. Десяткова цифра представляється, наприклад, 7 бітами, а не як в коді, що розпізнає помилки, 5 бітами.

Велика надлишковість дозволяє виявити помилковий біт. Якщо відомий помилковий біт, то самостійна корекція відносно проста. Якщо помилковий біт містить 1, то правильне значення 0. Якщо помилковий біт містить 0, то правильне значення 1. Тобто помилковий біт повинен бути інвертований.

Код з виправленням помилок проводить самостійну корекцію помилкового біта.

Повідомлення про помилку може видаватися незалежно від самокорекції. У багатьох випадках бажана реєстрація виявленої помилки.

В основному коди з виправленням помилок можуть виправляти тільки одну помилку в слові. Якщо в слові помилкові два біти, то в більшості випадків видається повідомлення тільки про одну помилку. Тобто самостійне виправлення помилки не відбудеться. Імовірність того, що в слові будуть одночасно помилкові два біти, надзвичайно мала. Якщо, однак, така помилка зустрілася, то після повідомлення про помилку потрібно зупинити передачу даних і усунути її причину.

В даний час розроблені коди, які можуть виправляти два і більше бітів у слові. Але їм потрібно ще більше бітів для передачі одного слова, і вони так складно влаштовані, що їх застосування економічно недоцільне. В даний час розроблені коди, які можуть виправляти два і більше бітів у слові. Але їм потрібно ще більше бітів для передачі одного слова, і вони так складно влаштовані, що їх застосування економічно недоцільне.

#### **12.5. Код Хеммінга**

Серед кодів, які розпізнають помилки, найчастіше використовується код Хеммінга, також званий Хеммінг-доповненим двійково-десятковим кодом. Для передачі однієї десяткової цифри в коді Хеммінга необхідні 7 біт (рисунок 11.3).

За схемою кодування Хеммінга після кожних чотирьох біт даних додаються три контрольних біта.

|                 |   | Код Хеммінга |       |       |       |       |       |       |
|-----------------|---|--------------|-------|-------|-------|-------|-------|-------|
| Номер біта      |   | 7            | 6     | 5     | 4     | 3     | 2     | 1     |
| Вага            |   | $K_0$        | $K_1$ | $2^3$ | $K_2$ | $2^2$ | $2^1$ | $2^0$ |
| Десяткова цифра | 0 |              |       |       |       |       |       |       |
|                 | 1 |              |       |       |       |       |       |       |
|                 | 2 |              |       |       |       |       |       |       |
|                 | 3 |              |       |       |       |       |       |       |
|                 | 4 |              |       |       |       |       |       |       |
|                 | 5 |              |       |       |       |       |       |       |
|                 | 6 |              |       |       |       |       |       |       |
|                 | 7 |              |       |       |       |       |       |       |
|                 | 8 |              |       |       |       |       |       |       |
|                 | 9 |              |       |       |       |       |       |       |

| Номер біта      |   | 1     | 2     | 3     | 4     | 5     | 6     | 7     |
|-----------------|---|-------|-------|-------|-------|-------|-------|-------|
| Вага            |   | $K_0$ | $K_1$ | $2^3$ | $K_2$ | $2^2$ | $2^1$ | $2^0$ |
| Десяткова цифра | 0 | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
|                 | 1 | 1     | 1     | 0     | 1     | 0     | 0     | 1     |
|                 | 2 | 0     | 1     | 0     | 1     | 0     | 1     | 0     |
|                 | 3 | 1     | 0     | 0     | 0     | 0     | 1     | 1     |
|                 | 4 | 1     | 0     | 0     | 1     | 1     | 0     | 0     |
|                 | 5 | 0     | 1     | 0     | 0     | 1     | 0     | 1     |
|                 | 6 | 1     | 1     | 0     | 0     | 1     | 1     | 0     |
|                 | 7 | 0     | 0     | 0     | 1     | 1     | 1     | 1     |
|                 | 8 | 1     | 1     | 1     | 0     | 0     | 0     | 0     |
|                 | 9 | 0     | 0     | 1     | 1     | 0     | 0     | 1     |

Рисунок 12.3 – Код Хеммінга

Кожна контрольна група коду Хеммінга складається з трьох інформаційних та одного контрольного біта.

За допомогою контрольного біта, три інформаційних біта контрольної групи доповнюються до парного числа 1-станів.

Структура контрольної групи  $K_2$  показана на рисунок 11.3. Інформаційні біти – номер 5, номер 6 і номер 7. Контрольний біт - номер 4. При зображенні десяткової цифри 0 інформаційні біти не мають 1-станів. Тому контрольний біт також не отримує 1-стану.

При передачі десяткової цифри 1 інформаційні біти містять один 1-стан. Контрольний біт приймає в цьому випадку 1-стан. Тоді кількість 1-станів контрольної групи стане парною.

Така ж ситуація має місце для представлення десяткової цифри 2. При зображенні десяткової цифри 3 інформаційні біти містять два 1-стани. Число 1-станів парне. Контрольний біт приймає в цьому випадку 0-стан. Для десяткових цифр від 4

до 9 контрольний біт завжди дорівнює 1, якщо три інформаційних біта містять непарне число 1-станів. Контрольний біт завжди дорівнює 0, якщо три інформаційних біта містять парне число 1-станів.

Таблиця 12.6 – Структура контрольної групи  $K_2$

| Номер біта         |   | 1 | 2 | 3 | 4      | 5      | 6      | 7      |
|--------------------|---|---|---|---|--------|--------|--------|--------|
| Вага               |   |   |   |   | K<br>2 | 2<br>2 | 2<br>1 | 2<br>0 |
| Десяткова<br>цифра | 0 |   |   |   | 0      | 0      | 0      | 0      |
|                    | 1 |   |   |   | 1      | 0      | 0      | 1      |
|                    | 2 |   |   |   | 1      | 0      | 1      | 0      |
|                    | 3 |   |   |   | 0      | 0      | 1      | 1      |
|                    | 4 |   |   |   | 1      | 1      | 0      | 0      |
|                    | 5 |   |   |   | 0      | 1      | 0      | 1      |
|                    | 6 |   |   |   | 0      | 1      | 1      | 0      |
|                    | 7 |   |   |   | 1      | 1      | 1      | 1      |
|                    | 8 |   |   |   | 0      | 0      | 0      | 0      |
|                    | 9 |   |   |   | 1      | 0      | 0      | 1      |


  
 Контрольна група  $K_2$

Структура контрольної групи  $K_1$  складається з інформаційних бітів номер 3, номер 6 і номер 7 і контрольного біта 2 (таблиця 12.6). За допомогою контрольного біта  $K_1$  три інформаційних біта контрольної групи доповнюються до парного числа 1-станів. Алгоритм - як у контрольної групи  $K_2$ .

Третя контрольна група -  $K_0$ . Вона складається з інформаційних бітів номер 3, номер 5 і номер 7. Контрольний біт  $K_0$  має номер 1 (таблиця 12.7).

За допомогою контрольного біта три інформаційних біта контрольної групи доповнюються до парного числа 1-станів.  $K_0$  завжди дорівнює 1, якщо три інформаційних біта містять непарне число 1-станів.

Встановлення помилки відбувається за допомогою перевірки парності контрольних груп.



Таблиця 12.6 – Структура контрольної групи  $K_1$

| Номер біта         |   | 1 | 2     | 3     | 4 | 5 | 6     | 7     |
|--------------------|---|---|-------|-------|---|---|-------|-------|
| Вага               |   |   | $K_1$ | $2^3$ |   |   | $2^1$ | $2^0$ |
| Десяткова<br>цифра | 0 |   | 0     | 0     |   |   | 0     | 0     |
|                    | 1 |   | 1     | 0     |   |   | 0     | 1     |
|                    | 2 |   | 1     | 0     |   |   | 1     | 0     |
|                    | 3 |   | 0     | 0     |   |   | 1     | 1     |
|                    | 4 |   | 0     | 0     |   |   | 0     | 0     |
|                    | 5 |   | 1     | 0     |   |   | 0     | 1     |
|                    | 6 |   | 1     | 0     |   |   | 1     | 0     |
|                    | 7 |   | 0     | 0     |   |   | 1     | 1     |
|                    | 8 |   | 1     | 1     |   |   | 0     | 0     |
|                    | 9 |   | 0     | 1     |   |   | 0     | 1     |


  
Контрольна група  $K_1$

Таблиця 12.7 – Структура контрольної групи  $K_0$

| Номер біта         |   | 1     | 2 | 3     | 4 | 5     | 6 | 7     |
|--------------------|---|-------|---|-------|---|-------|---|-------|
| Вага               |   | $K_0$ |   | $2^3$ |   | $2^2$ |   | $2^0$ |
| Десяткова<br>цифра | 0 | 0     |   | 0     |   | 0     |   | 0     |
|                    | 1 | 1     |   | 0     |   | 0     |   | 1     |
|                    | 2 | 0     |   | 0     |   | 0     |   | 0     |
|                    | 3 | 1     |   | 0     |   | 0     |   | 1     |
|                    | 4 | 1     |   | 0     |   | 1     |   | 0     |
|                    | 5 | 0     |   | 0     |   | 1     |   | 1     |
|                    | 6 | 1     |   | 0     |   | 1     |   | 0     |
|                    | 7 | 0     |   | 0     |   | 1     |   | 1     |
|                    | 8 | 1     |   | 1     |   | 0     |   | 0     |
|                    | 9 | 0     |   | 1     |   | 0     |   | 1     |


  
Контрольна група  $K_0$

У кодї Хеммінга кожна контрольна група перевіряється на парність.

Для перевірки 7-бітової комбінації потрібні три контролера парності. Вони підключаються згідно рисунка 12.8.

При непарності контрольної групи на виході відповідного контролера з'являється 1-стан. Цей 1-стан означає помилку.

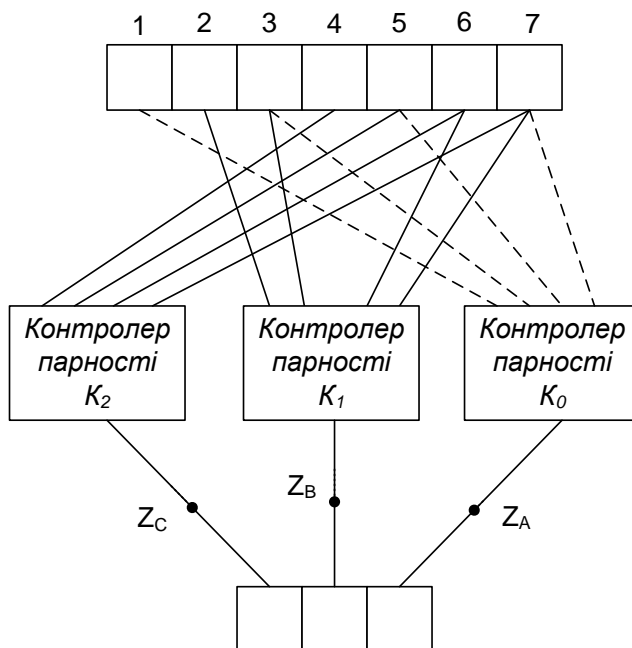


Рисунок 12.8 – Підключення контролерів парності

7-бітова комбінація коду Хеммінга вважається такою, що містить помилку, якщо принаймні один контролер парності повідомляє про помилку.

Отже, розпізнавання помилки відбувається без проблем. Як відбувається її виправлення? Якщо помилка зустрічається в біті номер 1, то контролер парності групи  $K_0$  повідомляє про помилку. Вихід  $Z_A$  приймає стан 1. Помилка в біті номер 2 викликає повідомлення про помилку контролера парності групи  $K_1$  ( $Z_B=1$ ). У випадку помилки в біті номер 3 помилку видають контролери парності  $K_0$  і  $K_1$ . В табл. 12.8 показано, які контролери парності видають повідомлення про помилку, і стани виходів  $Z_A$ ,  $Z_B$  і  $Z_C$  в разі помилок в окремих бітах.

При розгляді таблиці 12.8 видно, що вихідні стани  $Z_A$ ,  $Z_B$  і  $Z_C$  утворюють двійкове число, яке відповідає номеру помилкового біта. Вихід  $Z_A$  відповідає  $2^0$ , вихід  $Z_B$  відповідає  $2^1$ , вихід  $Z_C$  відповідає  $2^2$ .

Вихідні стани контролерів парності в кодї Хеммінга вказують номер помилкового біта.

Таблиця 12.8 – Відповідність повідомлень про помилки вихідним станам контролерів парності

| Помилка в номері біта | Повідомлення від контролера про помилку парності | Вихідні стани  |                |                |
|-----------------------|--|----------------|----------------|----------------|
|                       |  | $K_2$<br>$Z_C$ | $K_1$<br>$Z_B$ | $K_0$<br>$Z_A$ |
| 1                     | $K_0$  | 0              | 0              | 1              |
| 2                     | $K_1$  | 0              | 1              | 0              |
| 3                     | $K_0$ и $K_2$                                    | 0              | 1              | 1              |
| 4                     | $K_2$  | 1              | 0              | 0              |
| 5                     | $K_1$  | 1              | 0              | 1              |
| 6                     | $K$  | 1              | 1              | 0              |
| 7                     | $K_0, K_1$ и $K_2$                               | 1              | 1              | 1              |
|                       |  | $2^2$          | $2^1$          | $2^0$          |

Таким чином, однозначно ідентифікується помилковий біт. Тепер його можна виправляти. Корекція відбувається самостійно за допомогою цифрової мікросхеми, яка інвертує біт, позначений як помилковий. Більше робити нічого не треба, тому що якщо помилковий біт дорівнює 1, то його справжнє значення 0. Якщо помилковий біт дорівнює 0, то його справжнє значення 1.

У схемах, які працюють з кодом Хеммінга, кожна 7-бітова комбінація перевіряється в певних точках схеми і в разі необхідності виправляється. Така перевірка і корекція доцільна насамперед після передачі інформації через довгі доріжки на платі, так як довгі доріжки більше схильні до дії перешкод.

### 12.6. Завдання до лекції. 12

1. Чим відрізняються поняття бінарний і двійковий?
2. Перетворіть двійкові числа таблиці 12.9 в десяткові.

Таблиця 12.9 – Перетворення двійкових чисел в десяткові.

| Десяткова цифра | $2^{12}$ | $2^{11}$ | $2^{10}$ | $2^9$ | $2^8$ | $2^7$ | $2^6$ | $2^5$ | $2^4$ | $2^3$ | $2^2$ | $2^1$ | $2^0$ |
|-----------------|----------|----------|----------|-------|-------|-------|-------|-------|-------|-------|-------|-------|-------|
|                 | 4096     | 2048     | 1024     | 512   | 256   | 128   | 64    | 32    | 16    | 8     | 4     | 2     | 1     |
|                 |          |          |          |       |       |       |       | 1     | 1     | 0     | 0     | 1     | 0     |
|                 |          |          |          |       |       | 1     | 1     | 0     | 1     | 0     | 1     | 1     | 1     |
|                 |          |          |          |       |       | 1     | 0     | 1     | 0     | 1     | 1     | 0     | 0     |
|                 |          |          |          | 1     | 0     | 1     | 0     | 1     | 1     | 0     | 0     | 0     | 0     |
|                 |          |          |          | 1     | 1     | 1     | 0     | 0     | 0     | 1     | 1     | 0     | 1     |
|                 |          |          | 1        | 1     | 1     | 0     | 0     | 0     | 1     | 1     | 1     | 0     | 0     |
|                 |          | 1        | 1        | 0     | 0     | 1     | 1     | 0     | 0     | 1     | 1     | 0     | 0     |
|                 |          | 1        | 0        | 0     | 1     | 0     | 1     | 1     | 1     | 0     | 1     | 1     | 1     |
|                 | 1        | 0        | 1        | 1     | 1     | 1     | 0     | 1     | 0     | 0     | 1     | 0     | 0     |
|                 | 1        | 1        | 0        | 0     | 0     | 1     | 1     | 1     | 0     | 1     | 1     | 0     | 1     |
|                 | 1        | 0        | 1        | 0     | 1     | 1     | 0     | 0     | 0     | 0     | 1     | 1     | 1     |
|                 | 1        | 1        | 1        | 1     | 0     | 0     | 0     | 1     | 1     | 0     | 1     | 0     | 0     |

3. Перетворіть наступні десяткові числа в двійкові:

- а) 1983
- б) 1298
- в) 512
- г) 58
- д) 20000
- е) 17750
- ж) 2730
- з) 9990
- и) 11000
- к) 32000.

4. Перетворіть наступні дійсні двійкові числа в десяткові:

- а) 110110,101;
- б) 100101,1101;
- в) 1010,11101;
- г) 0,10101;
- д) 0,011101.

5. Складання в двійковій системі числення. Розв'яжіть наступні приклади:

а) 
$$\begin{array}{r} 1101 \\ + 100; \\ \hline ? \end{array}$$

б) 
$$\begin{array}{r} 111101 \\ + 1001; \\ \hline ? \end{array}$$

в) 
$$\begin{array}{r} 11011 \\ + 100100; \\ \hline ? \end{array}$$

г) 
$$\begin{array}{r} 110\ 001 \\ + 11101; \\ \hline ? \end{array}$$

д) 
$$\begin{array}{r} 111100 \\ + 1100\ 111; \\ \hline ? \end{array}$$

е) 
$$\begin{array}{r} 110011 \\ + 1010100 \\ \hline ? \end{array}$$

ж) 
$$\begin{array}{r} 1000,11 \\ + 111,11 \\ \hline ? \end{array}$$

з) 
$$\begin{array}{r} 1100,11 \\ + 11,01 \\ \hline ? \end{array}$$

Перевірте результат переведенням в десяткову систему числення.

6. Віднімання в двійковій системі числення. Вирішіть наступні приклади в додатковому коді:

а) 
$$\begin{array}{r} 1101 \\ - 100; \\ \hline ? \end{array}$$

б) 
$$\begin{array}{r} 111101 \\ - 1001; \\ \hline ? \end{array}$$

в) 
$$\begin{array}{r} 11011 \\ - 1111; \\ \hline ? \end{array}$$

г) 
$$\begin{array}{r} 1001100 \\ - 101010; \\ \hline ? \end{array}$$

д) 
$$\begin{array}{r} 100111 \\ - 10111; \\ \hline ? \end{array}$$

е) 
$$\begin{array}{r} 110011 \\ - 11010; \\ \hline ? \end{array}$$

ж) 
$$\begin{array}{r} 111000 \\ - 10011; \\ \hline ? \end{array}$$

з) 
$$\begin{array}{r} 1101 \\ - 10100; \\ \hline ? \end{array}$$

7. Перетворіть наступні десяткові числа в двійково-десятковий код:

- а) 10 941;
- б) 3 890;
- в) 7 863;
- г) 7 989.
- д) 98 001;

8. Складання в двійково-десятковому коді:

- |                               |                               |                               |
|-------------------------------|-------------------------------|-------------------------------|
| а) 0100<br><u>+011</u><br>?   | г) 0011<br><u>+110;</u><br>?  | ж) 0110<br><u>+0110;</u><br>? |
| б) 1000<br><u>+0110;</u><br>? | д) 1001<br><u>+1000;</u><br>? | з) 1001<br><u>+0110.</u><br>? |
| в) 0111<br><u>+1001;</u><br>? | е) 1001<br><u>+0001;</u><br>? |                               |

9. Складання в двійково-десятковому коді:

- |                               |                               |
|-------------------------------|-------------------------------|
| а) 1000<br><u>-0111;</u><br>? | д) 0111<br><u>-0011;</u><br>? |
| б) 1001<br><u>-1000;</u><br>? | е) 0111<br><u>-1001;</u><br>? |
| в) 0111<br><u>-0110;</u><br>? | ж) 1000<br><u>-0011;</u><br>? |
| г) 1001<br><u>-0111;</u><br>? | з) 0011<br><u>-1000;</u><br>? |

10. Переведіть шістнадцяткові числа в десяткові і двійкові

- а) AB1;
- б) 87F2;
- в) E605;
- г) BCB4;
- д) 12B31;
- е) BA1A;
- ж) 31 459;
- з) 1A1B.

11. Переведіть десяткові числа в шістнадцяткові і двійкові

- а) 100;
- б) 259;
- в) 1 020;
- г) 1 983;
- д) 10 000;
- е) 126;
- ж) 18 020;
- з) 999.

12. Перекодуйте числа в таблиці 11.10. У кожному вільному полі треба записати результат. Десяткове число 2560, наприклад, повинно перетворитися в двійкове число, в шістнадцяткове число, у вісімкове число і у BCD- число.

Таблиця 12.10 – Задача на кодування

| Десяткове число | Двійкове число | Шістнадцяткове число | Вісімкове число | BCD-число |      |      |      |      |  |
|-----------------|----------------|----------------------|-----------------|-----------|------|------|------|------|--|
| 2560            |                |                      |                 |           |      |      |      |      |  |
|                 | 10011110110    |                      |                 |           |      |      |      |      |  |
|                 |                | AF36                 |                 |           |      |      |      |      |  |
|                 |                |                      | 1772            |           |      |      |      |      |  |
|                 |                |                      |                 | 11        | 1001 | 0111 | 0001 | 1000 |  |
|                 |                | 1A2BC                |                 |           |      |      |      |      |  |

13. Поясніть структуру коду з надлишком 3.

14. Що розуміють під надлишком?

15. Як побудований однокроковий код?

16. Назвіть три коди з розпізнаванням помилки і поясніть на прикладі, як робиться розпізнавання помилки.
17. Що таке перевірка парності?
18. Поясніть, як видаються негативні числа в двійковій системі числення.
19. Чим розрізняються код з розпізнаванням помилки і код з виправленням помилки?
20. Як влаштований код Хеммінга і як відбувається виправлення помилок?



## ТЕМА 10. ГЕНЕРАТОРИ ТАКТОВИХ ІМПУЛЬСІВ НА ЛОГІЧНИХ ЕЛЕМЕНТАХ

### Лекція 13. Генератори на інверторах

13.1. Генератори тактових імпульсів на двох інверторах

13.2. Генератори тактових імпульсів на трьох інверторах

13.3. Загальні генератори електричних сигналів

#### 13.1. ГТІ на двох інверторах

Існує багато різних схем ГТВ (мультивібраторів) на логічних елементах [10, 11], найпростішої з яких є схема на двох елементах І-НЕ (інверторах) (рисунок. 13.1).

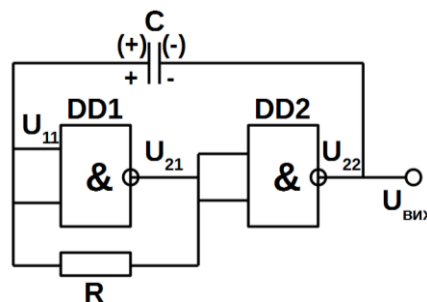


Рисунок 13.1 – Схема на двох елементах І-НЕ

Для стабілізації роботи в схемі використана місцева (охоплює тільки одну ІМС) негативний зворотний зв'язок через резистор R.

Необхідна для самозбудження генератора позитивний зворотний зв'язок (ПЗЗ) реалізована через конденсатор C. У процесі роботи схеми перезаряд конденсатора C через резистор R (рисунок. 13.2).

На часовому інтервалі T1 на вході елемента DD1 напруга  $U_{11} > U_{пор} \approx 1,3 \dots 1,5$  В, де  $U_{пор}$  - порогове напруга логічного елемента. Тому на виході DD1 підтримується низький рівень напруги  $U_{021}$ , а на виході DD2 - високий рівень  $U_{022}$ . Струм перезаряду конденсатора тече від джерела живлення по ланцюгу: ("+"  $E_{жив}$ ";  $R_{1вих2}$ ; C; R;  $R_{0вих1}$ ; "земля") і експоненціально зменшується з постійною часу (13.1):

$$\tau_1 \approx C \cdot (R_{\text{вх}2}^1 + R) \approx C \cdot R. \quad (13.1)$$

При цьому напруга на вході DD1 також експоненціально падає від початкової напруги  $U_{11}^+(0)$ , асимптотично прагнучи до рівня  $U_{11}^+(\infty) = U_{22}^0 \approx 0$ . У момент, коли напруга на вході DD1 досягає рівня порога  $U_{\text{пор}}$ , інвертор DD1 переходить в підсилювальний режим (похила ділянка передавальної характеристики логічного елемента (рисунок 13.1). Напруга  $U_{21}$  зростає і інвертор DD2 також переходить в підсилювальний режим. У схемі починає виконуватися умова виникнення стрибків: баланс амплітуд і баланс фаз (ПОС), що сприяє швидкому (лавиноподібного) переключенню мультивібратора в інше стан рівноваги ( $U_{21} = 1, U_{22} = 0$ ).

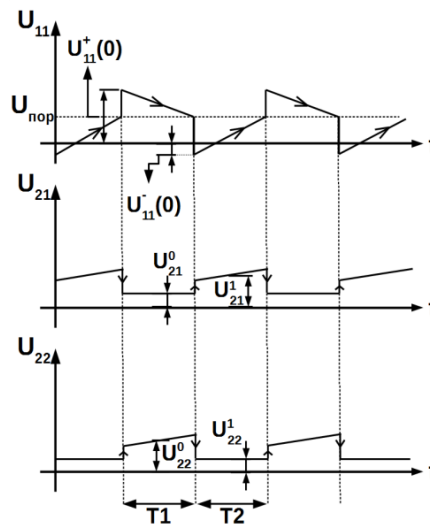


Рисунок 13.2 – Тимчасові діаграм перезарядки конденсатора

На виході виникає негативний стрибок напруги, який через конденсатор  $C$  прикладається до входу  $U_{11}$ , викликаючи там теж стрибок напруги. Так як  $|\Delta U_{22}| > U_{\text{пор}}$ , то на вході з'являється невелика негативна напруга  $U_{11}^-(0)$ .

На часовому інтервалі  $T_2$  напруга на вході DD1  $U_{11} < U_{\text{пор}}$ , тому на виході DD1 - високий рівень  $U_{21}^1$ , а на виході елемента DD2 - низький  $U_{22}^0 \approx 0$ . Конденсатор  $C$  знову перезаряджається. Струм перезаряду  $C$  протікає в протилежному напрямку по ланцюгу: (" +  $E_{\text{жив}}$  ";  $R$ ;  $C$ ; "земля").

У міру перезаряду струм через резистор  $R$  зменшується експоненціально зі змінною часу,

$$\tau_2 \approx C \cdot (R \parallel R_{\text{ex1}}^0). \quad (13.2)$$

а напруга на вході DD1 експоненціально зростає від рівня  $U_{11}^-(0)$ , асимптотично прагнучи до рівня  $U_{11}(\infty) = +E_{\text{num}}$ .

У момент збігу  $U_{11}$  і  $U_{\text{nop}}$  схема знову перемикається. На виході  $U_{22}$  з'являється позитивний стрибок напруги, який через конденсатор  $C$  прикладається до входу  $U_{11}$ , викликаючи там також стрибок напруги. Далі описані процеси повторюються.

Період генеруючих імпульсів визначається залежністю [11].

$$T \approx 2,3C \cdot R. \quad (13.3)$$

за умови, що величина резистора  $R$  лежить в діапазоні:

$$240 \text{ Ом} < R < 470 \text{ Ом} \quad (13.4)$$

До достоїнств розглянутого МВ відносяться: простота схеми і стабільність частоти генерації. При зміні напруги живлення ІМС ТТЛ-типу в діапазоні (4,5 ... 5,5) В частота змінюється тільки на 2%. Головний недолік - спотворення вершини вихідних імпульсів, тому вихід пов'язаний з конденсатором, який постійно перезаряджається.

Для усунення цього недоліку в схему вводять ще один елемент І-НЕ (інвертор).

### **13.2. ГТВ на 3-х інверторах.**

У схемі такого генератора (рисунок 13.3) резистор  $R$  відключений від виходу DD1 і підключений до виходу елемента DD3.

Перезаряд конденсатора  $C$  проходить через резистор  $R$  і вихідні ланцюги DD2 і DD3. Оскільки елемент DD1 не навантажений ємністю, імпульси на його виході мають гарну прямокутність. Принцип роботи схеми аналогічний попередньої. Тимчасова діаграма роботи показана на рисунок 13.4.

Величина резистора  $R$  вибирається з умови [11]:

$$240 \text{ Ом} < R < 1,5 \text{ кОм}. \quad (13.5)$$

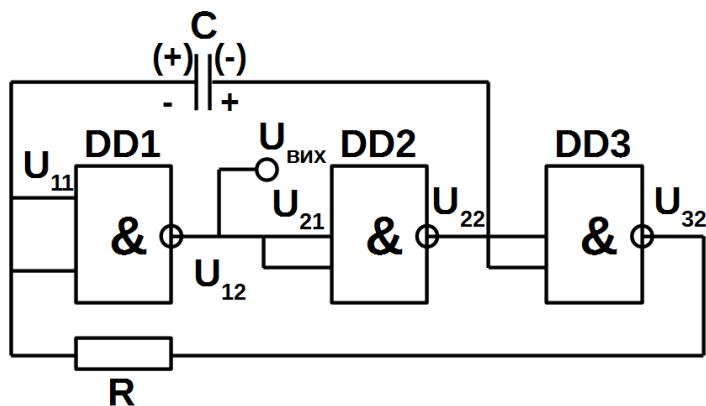


Рисунок 13.3 – Функціональна схема генератора виконаного на логічних елементах

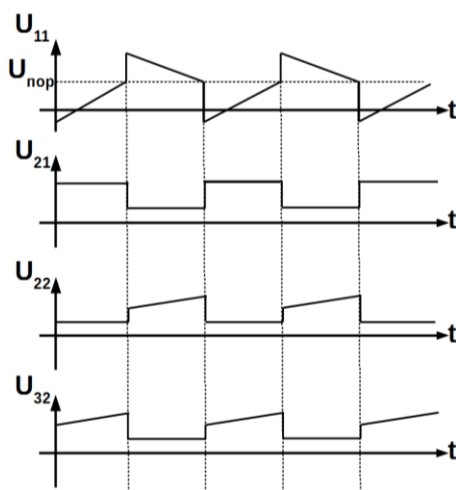


Рисунок 13.4 – Тимчасова діаграма роботи генератора

Період генеруючих імпульсів:

$$T \approx 2,3C \cdot R. \quad (13.6)$$

## Лекція 14. Розрахунок імпульсних генераторів

14.1. Теоретичні відомості

14.2. Розрахунок генераторів

14.3. Завдання що до розрахунку генераторів

### 14.1. Теоретичні відомості

Для отримання електричних сигналів різної форми використовуються генератори гармонійних коливань і імпульсів. В основі роботи цих генераторів лежать підсилювальні елементи, охоплені ланцюгом позитивного зворотного зв'язку. При цьому в генераторах гармонійних коливань підсилювальні елементи працюють в активному (усиленому) режимі, а в імпульсних генераторах характерними є граничні режими підсилювального елемента (насичення або відсічення), перехід яких з одного стану в інший відбувається лавиноподібно через проміжний підсилювальний режим. Швидкість цього переходу визначає тривалість фронтів генеруючих імпульсів і повинна бути максимальною.

Гармонійні коливання в генераторах підтримуються частотно-виборчими чотирьополісниками: резонансними 2-С-контурми або іншими резонуючими елементами (кварцові або об'ємні резонатори і т.п.), або за допомогою фазує LC-ланцюгів, включених в ланцюг ПОС підсилювачів.

В імпульсних генераторах, які можуть працювати в двох режимах: автоколивальним або режимі, ПОС створюється за допомогою LC-ланцюгів або імпульсних трансформаторів.

Генератори гармонійних, коливань. При охопленні підсилювача він самозбуджується, так як коефіцієнти посилення на певних частотах досягають нескінченно великого значення. Така схема працює в автоколивальних режимі і є автогенератори, якщо дотримуються умови балансу амплітуд:

$$K_{yU}\beta \geq 1 \quad (14.1)$$

і умова балансу фаз:

$$\varphi_k + \varphi_\beta = 2\pi \cdot n, \quad (14.2)$$

Де  $n = 0, 1, 2, 3, \dots$

Генератори гармонійних коливань підрозділяються на LC-автогенератори, RC- автогенератори і кварцові генератори.

Основні типи LC- генераторів наведені на рисунок 14.1. Вони діляться на схеми з трансформаторним зв'язком (рисунок 13.5, а), індуктивним (рисунок 14.1, б і г) і ємнісним (рисунок 14.1, в і д) трьох точкові.

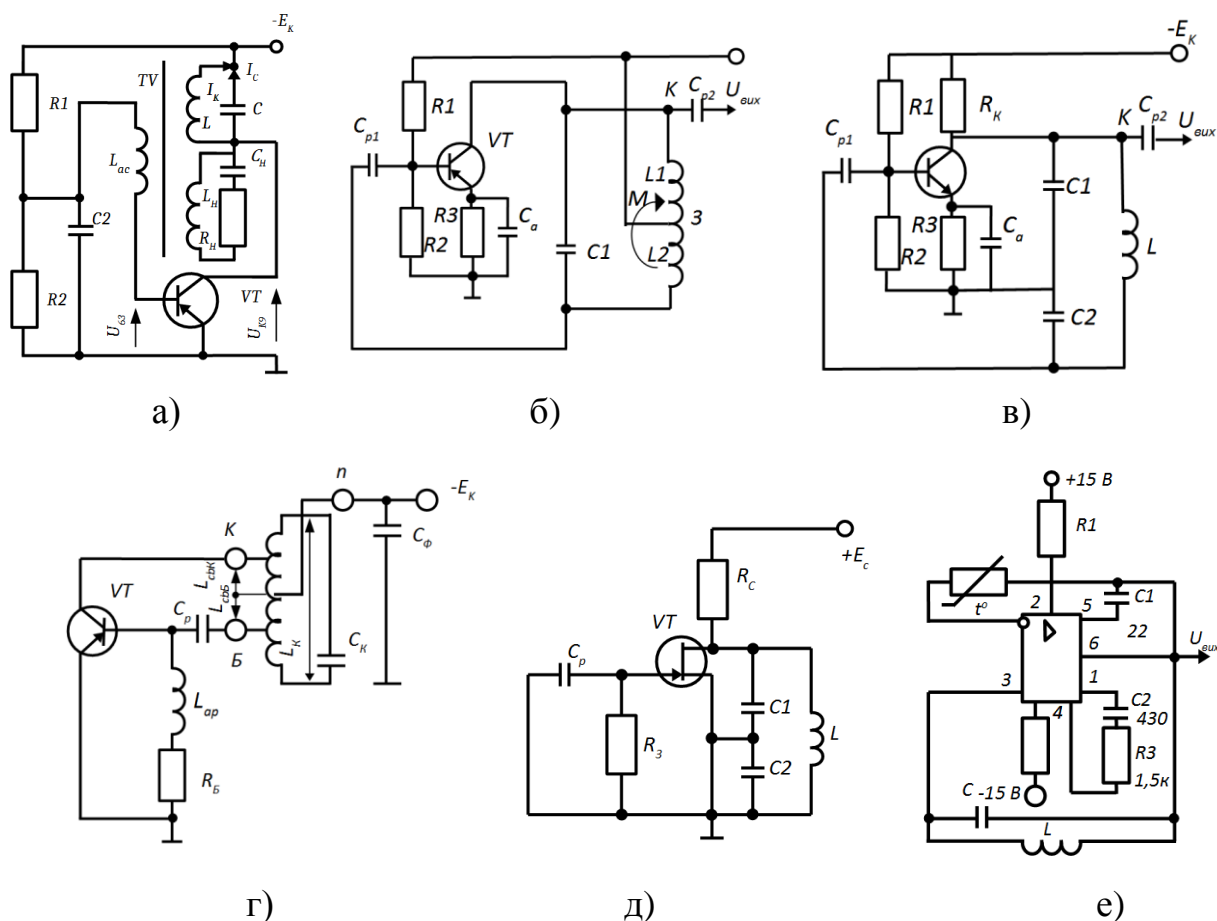


Рисунок 14.1 – Основні типи LC- генераторів: а) з трансформаторним зв'язком; б), г) індуктивним зв'язком; в), д) ємнісним зв'язком

У схемі рисунок 14.1, а використовується індуктивний зв'язок обмотки резонанс-ного контуру LC, що є навантаженням одно каскадного підсилювача

по схемі з ОЕ, з другої обмоткою  $L_{oc}$  включеної в ланцюг порушення підсилювача (в ланцюг бази). Елементи R1, R2 призначені для забезпечення необхідного режиму по постійному струму. За рахунок конденсатора C2, реактивний опір якого на частоті генерації незначно, заземлюється один кінець базової обмотки. Опір контуру на резонансній частоті носить чисто активний характер.

## 14.2. Розрахунок генераторів

Для отримання стійкого автоколивального процесу з частотою  $f_r$  необхідно вибрати транзистор, у якого

$$h_{21э} \geq (h_{11э} + r_{oc}) CR_K / M + M/L \quad (14.3)$$

У схемах LC - автогенераторів рисунок 14.1, б, в, г, і частина резонансного контуру використовується для отримання зворотного зв'язку. Такі схеми отримали назву три точкова.

У схемах рисунок 14.1, б, г, відомих під назвою індуктивної три точкова, секціонована індуктивна гілка коливального контуру, загальна точка якого через нульове опір джерела живлення змінної складової струму приєднана до емітера. Зворотній зв'язок між індуктивностями  $L_1$  і  $L_2$  (рисунок 14.1, б) здійснюється за рахунок взаємо індуктивності  $M$

Режим по постійному струму і його термостабілізація здійснюються в три точкових схемах за рахунок таких же елементів, що і в підсилювачах (R1, R2, R<sub>б</sub>, C<sub>е</sub>) Реактивний опір конденсатора зворотного зв'язку

Сд на частоті генерації нехтує.

Частота генерованих коливань і критичний коефіцієнт посилення визначаються відповідно з вираженні:

$$h_r \approx (1/2\pi) \sqrt{1 / [ C_1 ( L_1 + L_2 + 2M ) ]}, \quad (14.4)$$

$$h_{21э} \approx (L_2 + M) / (L_1 + M), \quad (14.5)$$

LC-автогенератор за схемою ємнісний три точковий (рисунок 14.1, в д) містить в ємнісний гілці коливального контуру два конденсатора  $C_1$  і  $C_2$ . Напруга зворотного зв'язку з останнього надходить у вхідні ланцюг підсилювальної ланки. При такому включенні конденсаторів полярності миттєвих значень напруги на їх обкладинках щодо загальної точки протилежні.

Частота генерованих коливань і критичний коефіцієнт посилення визначаються відповідно з вираженні:

$$f_r \approx (1/2\pi) \sqrt{1 / [LC_1 C_2 / (C_1 + C_2)]}, \quad (14.6)$$

$$h_{21e} \approx C_2 / C_1. \quad (14.7)$$

Високими технічними показниками володіють LC-автогенератори гармонійних коливань, що використовують в якості підсилюючих ланок ОУ.

Великий коефіцієнт посилення ОУ дозволяє, крім позитивного зворотного зв'язку, через частотно-виборчий резонансний контур вводити досить глибокі додаткові негативні зворотні зв'язки, що істотно підвищує стабільність частоти генерованих коливань. Крім того, ОУ має великий вхідний і дуже мале вихідний опираючись-ня, що дозволяє не враховувати їх при розрахунку і проектуванні конкурують-них схем LC-автогенераторів.

Один з типових варіантів LC- автогенератор а на ОУ типу 153УД1 показаний на рисунок 13.5, е. У цій схемі LC- контур включений в ланцюг ПОС між виходом (вивід 6) і неінвертуючого входом (вивід 3) ОУ. Включення в ланцюг негативного зворотного зв'язку між виходом і інвертується входом підсилювача (висновок 2) терморезистора забезпечує високий рівень термостабілізації амплітуди і частоти коливань, що генеруються.

У RC- автогенераторах, на відміну від резонансної частоти  $\omega_0$  колевального LC- контуру, частоту  $\omega_0$  називають квазірезонансного.

Для того щоб з усього можливого спектра частот RC- автогенератор генерував лише одну, умови самозбудження генератора (14.4), (14.5) повинні бути



виконані на цій частоті. За принципом побудови RC- авто-генератори підрозділяються на автогенератори з поворотом фази сигналу в ланцюзі ПОС на  $\pm 180^\circ$  на квазірезонансної частоті  $\omega_0$  і автогенератори без повороту фази, у яких фазовий зсув сигналу в ланцюзі ПОС на квазірезонансній частоті дорівнює нулю.

RC – автогенератори з поворотом фази містять підсилювач, фаза вихідного напруги якого відрізняється від (рази вхідного на  $180^\circ$ ). Тому виконання умови балансу фаз можливо в тому випадку, коли ланцюг частотно-залежною зворотного зв'язку (фазує ланцюжок) також забезпечить поворот фази напруги на частоті генерації на  $180^\circ$ .

Як фазу використовують ланцюги, що складаються з найпростіших Г-подібний RC- ланцюг (зазвичай трьох або чотирьох). Триланковий ланцюг, так звана С- паралель, показана на рисунку 14.2, а, а R-паралель - на рисунку 14.2, в. Частотні і фазові характеристики ланцюгів С- і R-паралель наведені відповідно на рисунку 14.2, б і 14.2, г.

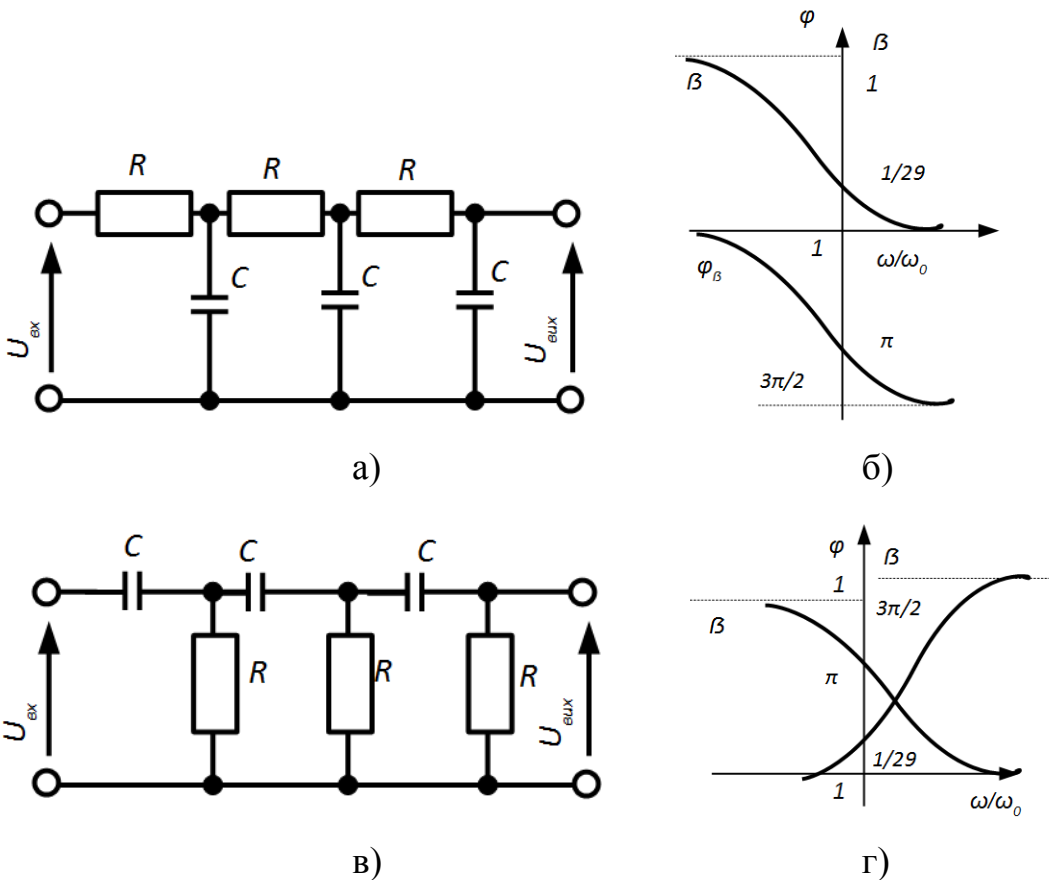


Рисунок 14.2 – Схеми триланкових ланцюгів: а) С- паралель; б) а R- паралель; в) частотні і фазові характеристики ланцюга С- паралель; г) частотні і фазові характеристики ланцюгів R-паралель

Як видно з рисунка 14.2, б і 14.2, г, на квазірезонансного частоті фазовий зсув  $\omega_\beta$  між вхідним і вихідним напругами для ланцюжка R-паралель дорівнює  $+180^\circ$ , а для ланцюжка С-паралельні  $-180^\circ$ .

На цій же частоті коефіцієнт передачі напруги  $\beta = \frac{U_{\text{вх}}}{U_{\text{вх}}}$  для обох ланцюжків має істотне значення  $\beta_0$  і дорівнює  $1/29$ . Таким чином, підсилювальний каскад із зсувом фази напруги підсилювального сигналу на  $180^\circ$ , в якому здійснена ПОС за допомогою триланкових ланцюжків R- або С-паралель, може генерувати гармонійні коливання з частотно  $f_0$  (для ланцюжка R-паралель  $f_0 = \frac{\omega_2}{2\pi} = \frac{1}{2\pi RC \sqrt{6}}$  для ланцюжка С-паралель  $f_0 \approx \frac{\omega_2}{2\pi} = \frac{\sqrt{6}}{2\pi RC}$ , якщо його коефіцієнт посилення перевищує 29, що відповідає також виконання умови балансу амплітуд, нерівність (14.2).

На рисунку 14.3 з приведені принципові схеми RC-автогенераторів на біполярних транзисторах ланцюжками З-паралель (а, б) і R-паралель (в, г).

Частота генерованих коливань і критичний коефіцієнт посилення, визначаються відповідно з вираженні:

для схем рисунок 14.3, а, б:

$$f_r = \frac{1 \cdot \sqrt{7 + \left(\frac{3}{m}\right)}}{2\pi RC}; \quad (14.8)$$

$$h_{21e, \text{кр}} = 21 + 32m + 3/m; \quad (14.9)$$

Де  $R = R_1 = R_2 = R_3 = mR_0$ ;  $C = C_1/m = C_2 = C_3$ ;  $R_3 = R_3 = R_{\text{вх}}$ ;

$$m \approx [(1 + h_{21e})U_{\text{ок}}] / [3(E_K - U_{\text{ок}})];$$

для схем рис 14.3, в, г:

$$f_r = \frac{1/\sqrt{4 \cdot m + 6}}{2 \cdot \pi \cdot R \cdot C}; \quad (14.10)$$

$$h_{21e, \text{кр}} = (23 + 29m + 4/m)R_3 / (R_3 + R_{\text{вх}}); \quad (14.11)$$

$$\text{Де } m = \frac{R_{\text{вх}}}{R_1 // R_2} = 2 \dots 5; R = R_1 = R_2 = R_3 // R_{\text{к}}; C = C_1 m = C_2 = C_3.$$

Залежність критичного коефіцієнта передачі по току від вхідного опору підсилювального каскаду обумовлює необхідність застосування транзисторів з  $h_{21E} > 45 \dots 60$ , що може бути забезпечено далеко не кожним транзистором. Цей недолік можна усунути застосуванням складеного включення транзисторів або додаткового каскаду за схемою з ОК, узгоджувального фази ланцюжок з підсилювальною ланкою (рисунок 14.2, б, г). Однак найбільший ефект може бути отриманий при використанні в якості підсилювальної ланки ОУ.

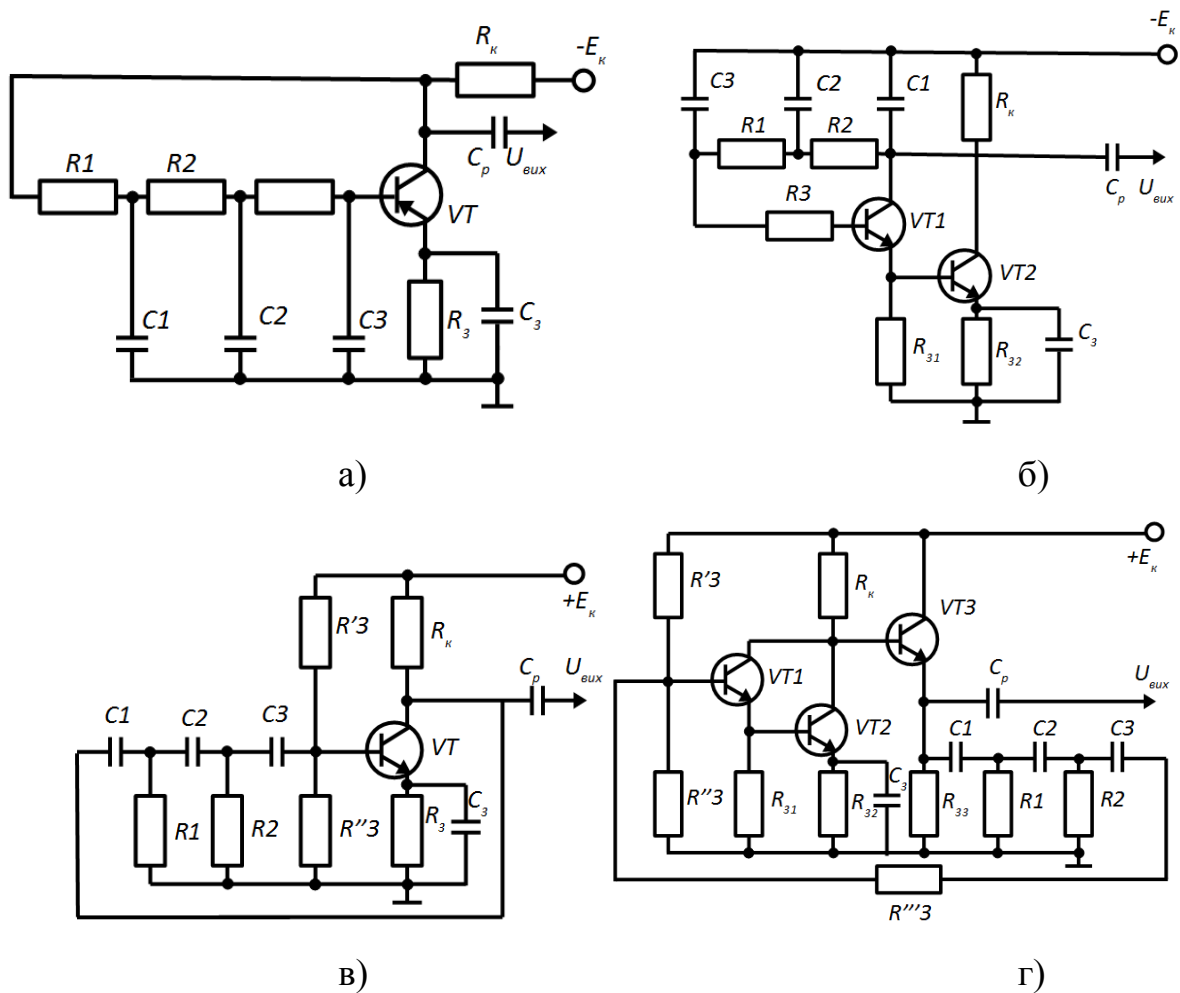


Рисунок 14.3 – принципіві схеми RC-автогенераторів на біполярних транзисторах ланцюжками: а), б) З-паралель; в), г) R-паралель

Автоколивальний мультивібратор на логічних елементах І-НІ представлений на рисунку 14.4, а. Схема являє собою два підсилювача, охоплює-чинних перехресними ПОС через час задання RC – ланцюги. Стрибок напруження на виході, наприклад, першого логічного елемента (ЛЕ) DD1 через конденсатор передається на вхід другого ЛЕ DD2, встановлюючи на його виході нуль. При цьому конденсатор С1 розряджається до нуля, відновлюючи свій початковий стан, а С2 заряджається через резистор R2. При цьому квазостійкий стан схеми зберігається до тих пір, поки зменшується через заряду конденсатора С2 струм не призведе до зменшення напруги на вході DD2 до порогового значення. З цього моменту схема перемикається в інше квазістійкий стан.

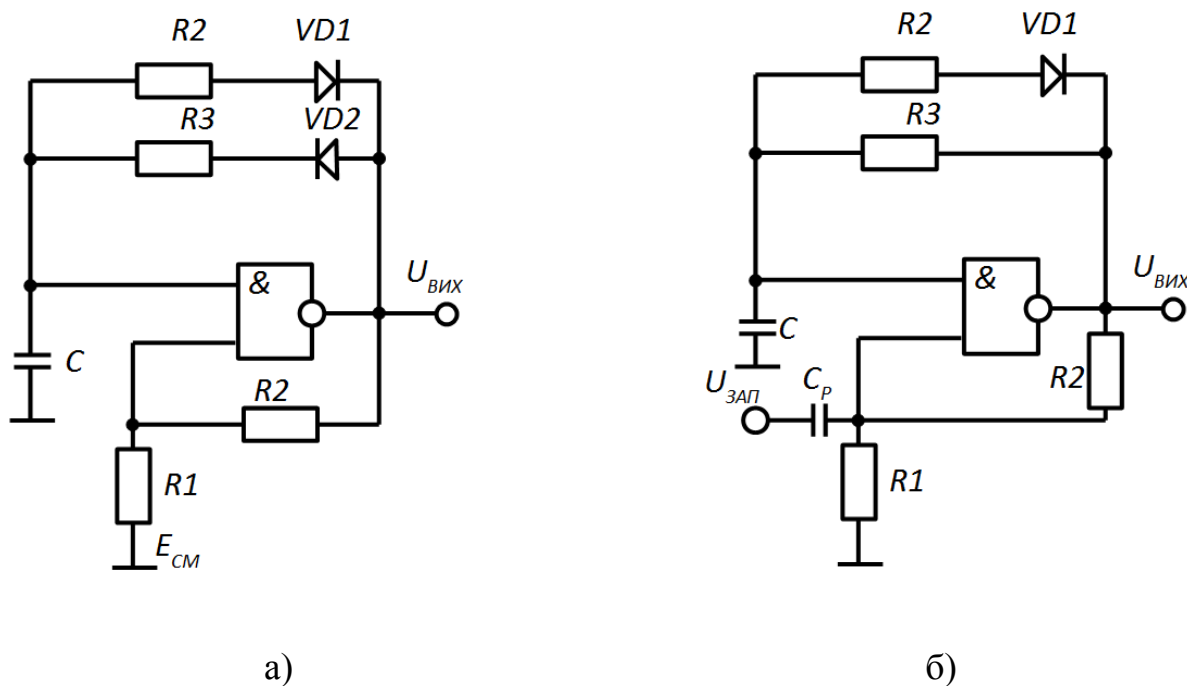


Рисунок 14.4 – Схема автоколивного мультивібратора: а) на ОУ б) побудови на ОУ чекаю чого мультивібратора

Тривалість імпульсів на виходах схеми визначається рівняннями:

$$t_{u1} = (R_2 + R_{i_{\text{вх}}}) C_2 \ln \left( \frac{U_{\text{вх}}^1 - U_{\text{вх}}^0 + U_{R_2}}{U_{\text{нар}}} \right) \approx (R_2 + R_{i_{\text{вх}}}) C_2 \ln \left( \frac{U_{\text{вх}}^1}{U_{\text{пор}}} \right) \quad (14.12)$$

$$t_{u2} = (R_1 + R_{i_{\text{вх}}}) C_1 \ln \left( \frac{U_{\text{вх}}^2 - U_{\text{вх}}^0 + U_{R_1}}{U_{\text{нар}}} \right) \approx (R_1 + R_{i_{\text{вх}}}) C_1 \ln \left( \frac{U_{\text{вх}}^2}{U_{\text{нар}}} \right) \quad (14.13)$$

Де  $U_{\text{вих}}^1$  та  $U_{\text{вих}}^0$  – напруги логічної одиниці і логічного нуля;  $U_{R2}$  и  $U_{R1}$  - падіння напруги на резисторах  $R_1$  і  $R_2$  від протікання вхідного струму  $I_{0\text{вих}}$  мікросхеми при низькому рівні вхідного сигналу;  $R_{1\text{вих}}$  - Вихідний опір мікросхеми при високому рівні вхідної напруги.

Для виключення «жорсткого» запуску мультивібратора, при якому обидва ЛЕ можуть мати низький рівень напруги на виході, в схему включаються елементи DD3 і DD4 (рисунок 14.4, б). При цьому якщо  $u_{\text{вих}1} = u_{\text{вих}2} = U_{\text{вих}}$ , на виході DD3 встановлюється 1, на виході DD4-0, який, передаючись на вхід DD2, встановлює на його виході  $U_{\text{вих}}^1$ , виключаючи тим самим початкове неробочий стан. Подібно схемами на дискретних елементах автоколевальний МВ на ЛЕ може бути перетворений в схему чекаючого МВ (рисунок 14.5, а).

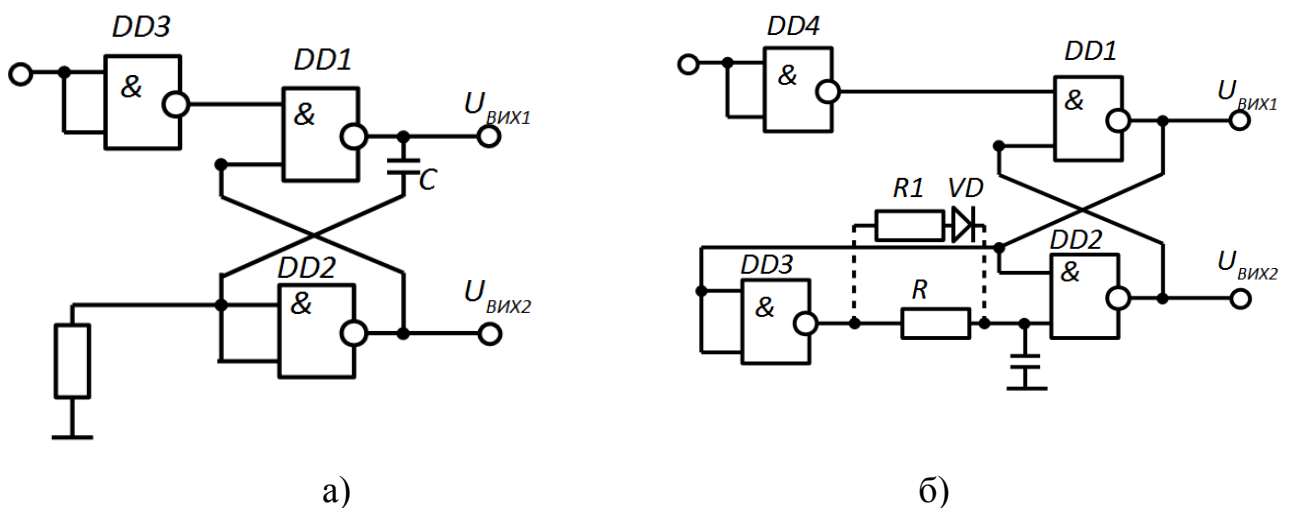


Рисунок 14.5 – Схеми мультивібратора: а) чекаючого мультивібратора; б) схеми чекаючого мультивібратора з елементами затримки

У цій схемі при  $u_{\text{зан}} = 0$ ,  $u_{\text{вих}} = U_{\text{вих}}^0$ ,  $u_{\text{вих}} = U_{\text{вих}}^1$ , конденсатор практично розряджений. При надходженні короткого імпульсу, що запускає елементи DD3 і DD1 перемикаються,  $u_{\text{вих}} = U_{\text{вих}}^1$ . Це напруга через конденсатор С передається на вхід DD2, також перемикаючи його. Цей стан зберігається до тих пір, поки падіння напруги на вході DD2 від струму заряду конденсатора не знизиться до  $U_{\text{пор}}$ . Після цього схема повертається в початковий стан, яке встановлюється після розряду конденсатора. Тривалість вихідного імпульсу при  $R \gg R_{\text{вих}}^i$ ,

$$t_u \approx RC \ln((U_{\text{вх}}^1 - U_{\text{вх}}^0 + U_R)/U_{\text{нор}}) \approx RC \ln((U_{\text{вх}}^1 / U_{\text{нор}})) \quad (14.14)$$

де  $U_R = I_{\text{кр}}^{\nu}$ .

Блокінг-генератори. У цьому типі генераторів прямокутних імпульсів ПОС здійснюється за допомогою імпульсного трансформатора, що зв'язує вихідну і вхідну ланцюга транзистора. Основна схема блокінг-генератора (БГ) в автоколивальних режимі представлена на рисунку 14.6.

Параметри імпульсів, що генеруються цією схемою, визначаються наступними співвідношеннями. Більш детальну інформацію Ви можете отримати в навчальному посібнику «Комп'ютерна схемотехніка» авторів, де приводиться необхідні розрахунки різних типів генераторів.

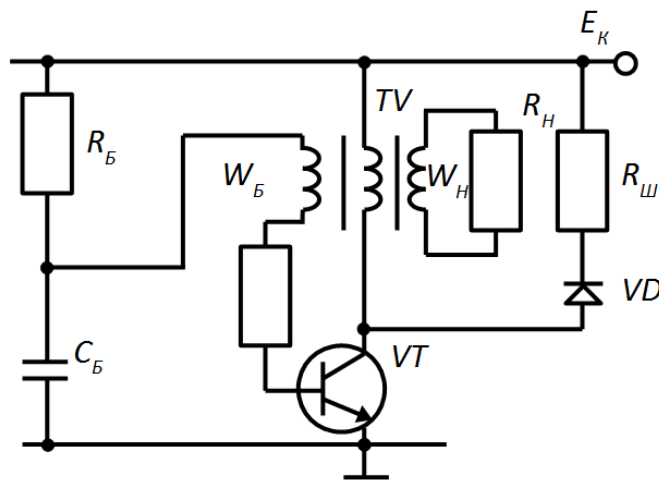


Рисунок 14.6 – Основна схема блокінг-генератора

### 14.3. Завдання що до розрахунку генераторів

Завдання 14.1. Дано LC-автогенератор гармонійних коливань, побудований на біполярному транзисторі за схемою, зазначеної в табл. 14.1. виконати:

1. Побудова схеми генератора.
2. Вибрати напруга джерела живлення, розрахувати елементи зміщення.
3. Розрахувати елементи резонансного контуру і опору обмотки котушки індуктивності.

4. З умов самозбудження визначити величини елементів зворотного зв'язку.
5. Визначити амплітуду стаціонарних коливань.
6. Розрахунок одно контурного LC-автогенератора складається з розрахунку режиму роботи транзистора і розрахунку контуру. У більшості випадків розраховується критичний режим роботи генератора, який характеризується найбільшою корисною потужністю при високому к.к.д.

Кут відсічення колекторного струму в критичному режимі складає  $\theta = 90^\circ$ .

Таблиця 14.1 – Варіанти завдань

| Номер варіанту | Тип схеми генератора   | Частота $f_T$ |         | $P_{\text{вих}}$ (Вт) |
|----------------|------------------------|---------------|---------|-----------------------|
|                |                        | а (кГц)       | б (МГц) |                       |
| 1              | індуктивна трьох точки | 200           | 1       | 0,15                  |
| 2              | ємнісна трьох точки    | 400           | 2       | 0,13                  |
| 3              | З трансформаторної ОС  | 300           | 3       | 0,5                   |
| 4              | індуктивна трьох точки | 500           | 4       | 0,14                  |
| 5              | ємнісна трьох точки    | 700           | 5       | 0,17                  |
| 6              | З трансформаторної ОС  | 800           | 1       | 0,3                   |
| 7              | індуктивна трьох точки | 600           | 2       | 0,17                  |
| 8              | ємнісна трьох точки    | 550           | 3       | 0,14                  |
| 9              | З трансформаторної ОС  | 600           | 4       | 0,2                   |
| 10             | індуктивна трьох точки | 800           | 5       | 0,17                  |

### Методика виконання завдання

1. Тип транзистора вибирається з умови, що при заданому значенні  $P_{\text{вих}}$  потужність РК, яку повинен віддати транзистор в контур, становить  $P_K = P_{\text{вих}} / \eta_K$ , де  $\eta_K = 0,5 \dots 0,8$  - ККД . контуру (при підвищених вимогах до стабільності частоти к.к.д. контуру вибирають в межах 0,1 ... 0,2), при цьому у обраного Транзистора  $P_{K_{\text{max}}} \geq P_K ; t_{\text{max}} > f_T$ .

2. Коефіцієнт використання колекторної напруги відбирають зі співвідношенням  $\xi = 1 - 2P_K / (E_K s_K \alpha_{IK})$ , де  $s_K = \Delta I_K / \Delta U_{K3}$  - крутизна лінії критичного режиму (Рисунок 14.7, а) обраного транзистора;  $\alpha_{IK}$ ,  $\alpha_{OK}$

коефіцієнти розкладання імпульсу колекторного струму для  $\theta$  (рисунок 14.7, б);

$E_K = 6 \dots 12$  В-напряга джерела живлення ланцюга колектора

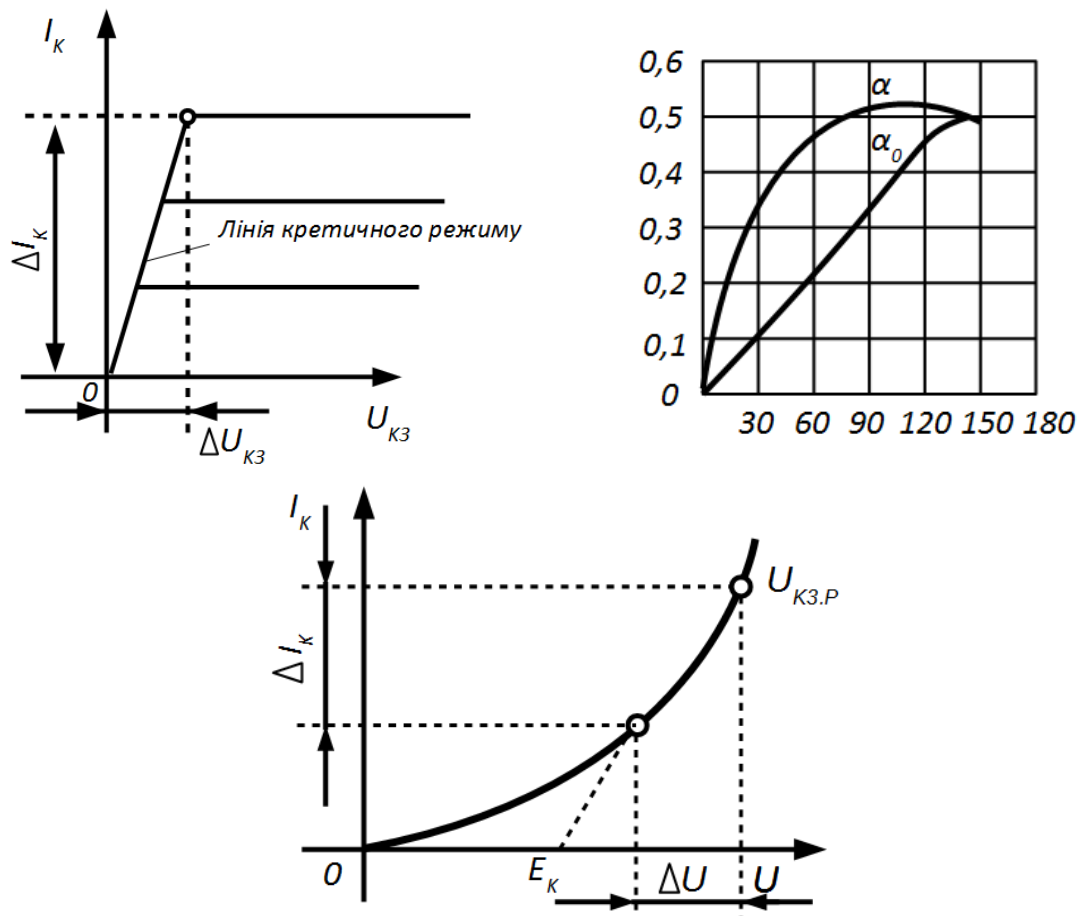


Рисунок 14.7 – Графіки для вибору коефіцієнат використання колекторної напруги

3. Основні електричні параметри режиму: амплітуда змінної напруги на контурі  $U_{мк} = \xi E_K$ ; амплітуда першої гармоніки колекторного струму

$I_{К1м} = \frac{2P_K}{U_{мк}}$ ; постійна складова колекторного струму

$I_{K0} = \alpha_{0K} \frac{\alpha_{1K}}{\alpha_{1K}}$  максимальне значення імпульсу струму колектора

$I_{К1мак} = \frac{I_{К1м}}{\alpha_{1K}}$  потужність, що витрачається джерелом живлення в ланцюзі

колектору,  $P_0 = I_{K0} E_K$ ; потужність, що розсіюється на колекторі,

$P_{Квак} = P_0 - P_K < P_{Кмак}$ ; еквівалентну резонансне опір контуру в ланцюзі

колектора  $R_{вс} = E_{мк} / I_{К1м}$ ; коефіцієнт передачі струму в схемі з ПРО на робочій



частоті  $h_{21E}(f) = h_{21E} / \sqrt{1 + (f/f_{h21E})^2}$ , де  $h_{21E}$  - коефіцієнт передачі струму на низькій частоті;  $f_{h21E}$  гранична частота коефіцієнта передачі ГЗК біполярного транзистора обраного типу;

$h_{21E} = h_{21\beta} / (1 + h_{21\beta})$ , де  $h_{21E}$  - коефіцієнт передачі струму біполярного транзистора в режимі малого сигналу в схемі з ОЕ; амплітуда першої гармоніки струму емітера  $I_{\text{эим}} = I_{\text{Ким}} / h_{21E}(f)$ ; амплітуда імпульсу струму емітера  $I_{\text{эимст}} = I_{\text{эим}} \alpha_{1\theta}$ , де  $\alpha_{1\theta}$ ,  $\alpha_{0\theta}$  - коефіцієнти розкладання імпульсу емітерного струму для кута відсічення  $\theta_{\text{э}}$  струму емітера визначається за формулою  $\theta_{\text{э}} = 90^\circ - f_r / f_{h21E}$ .

4. Амплітудне значення напруги збудження на базі транзистора, необхідне для забезпечення імпульсу струму емітера

$I_{\text{э.и max}}$ , визначають за формулою:

$$U_{\text{Кэи}} = I_{\text{эимст}} / [(1 - \cos \theta_{\text{э}}) s_{\theta}]$$

де  $s_{\theta} = \Delta I_K / \Delta U_{\text{Кэ}}$  при  $U_{\text{Кэ}} = \text{const}$  - крутизна характеристики струму-колектора (Рисунок 9.17, в).

5. Напруга зсуву на базі, що забезпечує кут відсічення струму емітера, визначається за формулою

$$U_{\text{Кэзв}} = E_c + U_{\text{Кэи}} \cos \theta_{\text{э}}$$

де  $E_c = \pm 0,1 \dots 0,3$  В - напруга зрізу, яке визначається за випрямленими характеристиками  $I_K = f(U_{\text{ББ}})$  при  $U_{\text{Кэ}} = \text{const}$  (Рисунок 14.4, в), знак при  $E_c$  визначається типом біполярного транзистора (плюс для п-р-п, мінус для р-п-р).

6. Для виконання умови балансу амплітуд необхідно щоб коефіцієнт зворотного зв'язку

$$K_{\text{св}} = \frac{U_{\text{БЗв}}}{U_{\text{мк}}} \geq K_{\text{свмин}} = 1 / (s_{\theta} R_{\text{рез}}).$$

7. Опір резисторів R1 і R2 (Рисунок 9.5, а, 9.5, в) визначається за формулами:

$$R_2 = \frac{U_{\text{БЗв}}}{I_2}; \quad R_1 = \frac{E_c - U_{\text{БЗв}}}{I_1},$$

де  $I_{\theta} \approx 5 I_{\text{Б0}} = \frac{5 I_{\text{К0}}}{h_{21\beta}}$  - струм дільника;  $I_{\text{Б0}}$  - постійна складова струму бази транзистора. Потужність, що розсіюється на резисторах R1 і R2, відповідно

дорівнює  $P_{R1} = \dot{I}_a R_1; P_{R2} = \dot{I}_a R_2$ . Для схеми Рисунок 9.6, г опір резистора Б  $= \frac{U_{E2E}}{I_{E2}} = U_{E2E} h_{21E} / I_{K0}$

8. Індуктивність дроселя Др в ланцюзі бази транзистора визначається з виразу  $L_{Dr} = 36 \cdot 10^{-2} / (C_{BE} f_2 \Gamma)$ , де  $C_{BE}$  -ємність емітерного переходу транзистора.

9. Ємність розділового  $C_p$  і блокувального  $C_\phi$  конденсаторів  $C_p = 10 \dots 20 \cdot C_{BE}; C_\phi = 15 \frac{10^3}{f_r}$ .

10. Елементи ланцюжка термокомпенсації (Рисунок 14.4, б)  $R_3 \approx \frac{U_3}{I_{30}}; C_3 \geq (5 \dots 30) 10^3 / (f_r R_3)$ , де  $U_3 \approx (0,7 \dots 1,5)$  В -падіння напруги на резисторі  $R_3$ ;  $I_{30}$  -постійний струм емітера ( $I_{30} \approx I_{K0}$ );  $C_3$  виражається в мікрофарадах, якщо  $f_r$  в мегагерцах, а  $R_3$  в кілоомах.

11. Добротність навантаженого коливального контуру під-зчитується за формулою  $Q' = Q(1 - \eta)$  де  $Q$  -добротність ненавантаженого контуру;  $Q = 80 \dots 120$  при  $f_r = 0,3 \dots 3$  МГц;  $Q = 100 \dots 140$  при  $f_r = 3 \dots 6$  МГц;  $Q = 150 \dots 200$  при  $f_r = 6 \dots 15$  МГц;  $Q = 200 \dots 300$  при  $f_r = 15 \dots 30$  МГц;  $Q = 200 \dots 300$  при  $f_r \geq 30$  МГц.

12. Мінімальна загальна ємність контуру

$$C_{Kmin} \approx (1 \dots 2) \lambda_p (n \Phi),$$

де  $\lambda_p = c/f$  - робоча довжина хвилі коливань;  $c$  - швидкість світла. У загальну ємність входять ємність конденсатора  $C_K$  і вносяться (паразитні) ємності: вихідна ємність транзистора, ємність котушки контуру, ємність монтажу і ін. Величина становить десятки пікофарад.

Ємність конденсатора контуру  $C_K \approx C_{Kmin} - C_{за}$ . Ця формула дає орієнтовне значення ємності  $C_K$ , яке потім уточнюється в процесі настройки.

13. Індуктивність контуру  $L_k = 0,282 \frac{\lambda_p^2}{C} I_{Kmin}^2 k_2 n \ln n$ , де  $L_k$  - в мікрогенрі;  $C$   $I_{Kmin}^2$  - в пікофарад;  $\lambda_p$  - в метрах.

14. Хвильовий опір  $Z_c$  і опір втрат  $R_n$  контуру  $Z_c = 10^3 \sqrt{(\frac{L_k}{C_{min}})}$ , де  $Z_c$  - в Омасі;  $L_k$  - в мікрогенрі;  $C_{min}$  - в пікофарад;  $R_n = Z_c / Q$ .

15. Опір, що вноситься в контур,  $R_{\text{ек}} = R_k \eta_k / (1 - \eta_k)$ .

16. Опір контуру  $R_k = R_n + R_{\text{ек}}$ .

Примітка. При розрахунку LC- автогенератора за схемою необхідно визначити параметри трансформатора  $TV$  ( $r_1, r_2, n, r_{oc}, L_k, L_n, L_{oc}, n_{oc}$ ):  
 $r_1 = R_k(1 - \eta_{TV})/2$  - опір первинної обмотки;  $\eta_{TV}$  - к.п.д. трансформатора, що залежить від потужності трансформатора (при  $P_{TV} < 1 \text{ Вт}$   $\eta_{TV} = 0,7 \dots 0,82$ ;  $P_{TV} = 1 \dots 10 \text{ Вт}$ ,  $\eta_{TV} = 0,8 \dots 0,9$ ;  $P_{TV} = 10 \dots 100 \text{ Вт}$ ,  $\eta_{TV} = 0,9 \dots 0,94$ ;  $P_{TV} > 100 \text{ Вт}$ ,  $\eta_{TV} = 0,96 \dots 0,98$ );  $n \approx U_{\text{вих}} \sqrt{2} / U_{\text{мк}}$   $\eta$  - коефіцієнт трансформації; вважаючи  $M = K_u L_p$ , знаходимо  $r_2$  з виразу:

$$R_k = r_1 + \omega_r^2 M^2 (r_2 + R_p),$$

де  $K_u$  - коефіцієнт зв'язку між обмотками трансформатора:  $K_u = 0,5 \dots 0,9$  при сильній зв'язку;  $K_u = 0,01 \dots 0,5$  при слабкій зв'язку.  
 $C_x = 1/(\omega_r^2 L_x)$ , де  $L_x = n^2 L_k$ ,

$$n_{oc} \approx \frac{U_{\text{ем}}}{U_{\text{мк}}}; L_{oc} = n_{oc}^2 L_k; M_{oc} = K_{u_{oc}} M.$$

17. Амплітуда коливального струму в загрузочному контурі визначається виразом  $I_{\text{мн.к}} = \sqrt{2 P_k / R_k}$ .

18. Визначаємо індуктивність  $L_2$  (ємність конденсатора  $C_2$ ) зв'язку контуру з базою транзистора

$$L_2 = K_{\text{кр}} L_k, C_2 = C_k (1 + 1/K_{\text{кр}}).$$

19. Знаходимо індуктивність (ємність) зв'язку контуру з базою транзистора  $L_1 = L_k - L_2$ ;  $C_1 = C_k (1 + K_{\text{кр}})$

20. Ємність конденсатора  $C_2$  (Рисунок 6.1, а) вибираємо з умови, щоб на частоті генерації його опір становило 0,05 від  $R_2$ :

$$C_2 = 20/(\omega_r R_2)$$

21. Для схеми Рисунок 6.1, а перевіряємо умова амплітуди

$$\beta \geq \frac{h_{11e} R_k C_k + M_{oc}}{M_{oc} L_k}$$

Завдання 14.2. Дано RC- автогенератор гармонійних коливань, побудований на операційному підсилювачі К140УД7 за схемою, зазначеної в табл. 14.2.

Використовуючи довідкові дані підсилювача  $K$ ,  $U_{вих}^+$ ,  $U_{вих}$ ,  $R_{вх}$ ,  $R_{вих}$  і дані таблиця 14.2, необхідно:

1. Побудувати схему генератора.
2. Розрахувати елементи схеми генератора.

Таблиця 14.2 – Варіанти завдань

| Номер варіанта | Тип генератора              | Частота $f_{\Gamma}$ |        | $U_{вих}(В)$ |
|----------------|-----------------------------|----------------------|--------|--------------|
|                |                             | а(кГц)               | б(кГц) |              |
| 1              | З фазозрухуючим RC-ланцюгом | 0,1                  | 0,2    | 2            |
| 2              | З фазозрухуючим RC-ланцюгом | 0,4                  | 0,6    | 4            |
| 3              | З мостом Вина               | 0,8                  | 1,0    | 6            |
| 4              | З подвійним Г-мостом        | 1,2                  | 1,5    | 8            |
| 5              | З фазозрухуючим RC-ланцюгом | 2,0                  | 2,5    | 3            |
| 6              | З фазозрухуючим RC-ланцюгом | 3,0                  | 4,0    | 5            |
| 7              | С мостом Вина               | 5,0                  | 7,0    | 7            |
| 8              | З подвійним Г-мостом        | 8,0                  | 10,0   | 4            |
| 9              | З фазозрухуючим RC-ланцюгом | 10                   | 15     | 6            |
| 10             | С мостом Вина               | 20                   | 30     | 5            |

### Приклад виконання завдання

Розрахунок RC- автогенераторів на ОУ з фазокрутящими ланцюжками. Операційні підсилювачі дозволяють порівняно просто будувати RC- автогенератори з фазокрутящими ланцюжками або мостового типу.

1. При розрахунку RC- автогенераторів з фазокрутящими ланцюгами приймають:  $R_1 = R_2 = R_3 = R$ ;  $C_1 = C_2 = C_3 = C$ .

2. Для отримання високої стабільності частоти і зменшення впливу паразитних ємностей підсилувача і монтажу приймаємо  $C > (200 \dots 300)$  пФ.

3. В залежності від виду фазокрутячого ланцюжка опір резистора R:

$R = 1/(2\pi f_r \sqrt{6C})$  - для триланкової ланцюжка R-паралель;

$K = \sqrt{6/(2\pi f_r C)}$  - для триланкової ланцюжка C-паралель.

4. Коефіцієнт негативного зворотного зв'язку визначають з умови самозбудження генератора

$$\beta \approx 1/[(1,6 \dots 2)K_{yUkr}]$$

де  $K_{yUkr} \geq 18,4$  для генератора з триланковим ланцюжком.

5. Загальний опір в ланцюзі негативного зворотного зв'язку

$$R_{oc} = R(1-\beta) / \beta.$$

6. Приймаємо  $R_5 = \frac{(0,1 \dots 0,3)}{R_{oc}}$  і обчислюємо величину опору потенціометра  $R_5$

$$R_5 = R_{oc} - R_4$$

За допомогою резисторів R4, R5 регулюється коефіцієнт передачі ОУ, що забезпечує стійке самозбудження з певною амплітудою і формою вихідного сигналу. Розрахунок RC-автогенераторів з мостовими, схемами. Розрахунок схеми рисунок 9.11, а.

1. Опір резистора R і ємність конденсатора C:  
 $R_1 = R_2 = R$ ;  $C_1 = C_2 = C$ ;  $C > 500$  нФ;  $R = 0,159/(C/f_r)$ . Якщо отримуємо  $R > 50$  кОм, то вибираємо нове значення ємності C і виробляємо розрахунок заново.

2. Максимальний опір потенціометра  $R_4 = 0,45 R$ .

3. Опори резисторів ланцюга негативного зворотного зв'язку  
 $R_1 = 1,3 R$ ;  $R_2 = 2R$ ;  $R_3 = R$ .

Ємність розділового конденсатора  $C_p$  визначаємо з умови мінімального падіння напруги  $C_p = 0,3/(f_r = R_x)$ , де  $f_r$  (кГц),  $R_x$  (кОм),  $C_p$  (мкФ).

4. Вибір діодів VD1, VD2 виробляють з умови  $r_d \geq 10 R_3$ , де  $r_d \geq$  диференціальне опір діода.

Розрахунок схеми 14.4, б.

1. Задаємося коефіцієнтом  $n = 0,5$  ( $n = 0,5 \dots 2$ ).
2. Опір  $R_1 = R_2 = R \approx \sqrt{R_{zv} R_{vz}}$ , де  $R_{zv}, R_{vz}$  - відповідно вхідний і вихідний опору ОУ.
3. Опір  $R_3 = R / (2n) = R$ .
4. Ємність конденсатора  $C_1 = C_2 = C = \sqrt{W / (2\pi f R)}$ .
5. Ємність конденсатора  $C_3 = 2C/n = 4C$ .
6. Коефіцієнт передачі моста з (6.17) на частоті генерації  $\beta_0 = (4n - 1) / [2n + (1/2n) + 1] = 1/4$ . Коефіцієнт посилення неінвертуючий підсилювача забезпечують умову самозбудження:

$$K_{yU} = 1/\beta_0$$

7. Опір резистора  $R_4$  вибирається рівним (1 ... 10) кОм.
8. Опір резистора  $R_5 = R_4 (K_{yU} - 1)$ .

## ТЕМА 11. ФУНКЦІОНАЛЬНІ ПРИСТРОЇ ЦИФРОВОЇ ЕЛЕКТРОНІКИ

### Лекція 15 Аналіз функціональних пристроїв

15.1 Аналіз та синтез комп'ютерних цифрових пристроїв

15.2 Класифікація комп'ютерних цифрових пристроїв

#### 15.1. Аналіз та синтез КЦП

Логічні пристрої, вихідні сигнали яких однозначно визначаються комбінацією вхідних логічних змінних у розглянутий момент часу, називаються комбінаційними. У процесі проектування будь-якого пристрою виконується ряд дій, які можна віднести до завдань аналізу та синтезу.

##### *Аналіз КЦП.*

Виконання завдань аналізу КЦП припускає наявність готової функціональної схеми пристрою на логічних елементах заданого базису. У процесі аналізу оцінюються деякі характеристики наявної схеми КЦП. Наприклад, можна скласти булевий вираз і таблицю істинності, що визначають перетворення інформації в КЦП; мінімізувати логічну функцію, яку виконує аналізована схема; оцінити апаратні витрати на реалізацію схеми; її швидкодія; споживану потужність; розглянути можливість утворення в схемі помилкових небезпечних станів в результаті змагань (гонок) та ін.

##### *Синтез КЦП.*

Синтез КЦУ передбачає побудову функціональної схеми пристрою, тобто визначення складу необхідних логічних елементів і з'єднань між ними, при яких забезпечується перетворення вхідних цифрових сигналів у вихідні відповідно до заданих умовами роботи пристрою [2]. У процесі синтезу необхідно мінімізувати апаратні витрати на реалізацію пристрою. Розглянемо особливості синтезу КЦУ з одним виходом. Послідовність синтезу доцільно розбити на ряд етапів.

Етап 1. Завдання логічної функції, що визначає функціонування синтезованого КЦУ. Як зазначалося раніше, це можна зробити словесно, за допомогою таблиць істинності чи булевих виразів.

Етап 2. Мінімізація логічної функції, яка здійснюється алгебраїчним або графічним методом (за допомогою діаграм Вейча, карт Карно).

Етап 3. Запис булевого виразу мінімізованої перемикальної функції.

Етап 4. Перетворення булевого виразу мінімізованої ПФ для реалізації її в заданому базисі І-НЕ або АБО-НЕ.

Етап 5. Складання функціональної схеми КЦУ, тобто зображення потрібних логічних елементів і зв'язків між ними.

Проілюструємо етапи синтезу КЦУ на прикладі.

Необхідно синтезувати на елементах І-НЕ КЦУ на три входи, вихідний сигнал якого збігається з більшістю вхідних сигналів.

Дане словесний опис задає логічну функцію мажоритарною. Її роботу відображає таблиця істинності (таблиця 15.1).

Таблиця 15.1 – Таблиця істинності

| № набору | C | B | A | F |
|----------|---|---|---|---|
| 0        | 0 | 0 | 0 | 0 |
| 1        | 0 | 0 | 1 | 0 |
| 2        | 0 | 1 | 0 | 0 |
| 3        | 0 | 1 | 1 | 1 |
| 4        | 1 | 0 | 0 | 0 |
| 5        | 1 | 0 | 1 | 1 |
| 6        | 1 | 1 | 0 | 1 |
| 7        | 1 | 1 | 1 | 1 |

Булевий вираз БФ в СДНФ має вигляд:

$$F = \bar{C} \cdot B \cdot A + C \cdot \bar{B} \cdot A + C \cdot B \cdot \bar{A} + C \cdot B \cdot A. \quad (15.1)$$



Мінімізуючи даний вираз, використовуючи тотожності і теореми булевої алгебри, отримаємо:

$$F = B \cdot A + C \cdot A + C \cdot B \quad (15.2)$$

Перетворимо дане вираз для його реалізації в базисі І - НЕ.

Застосовуючи теорему де Моргана, отримаємо:

$$F = \overline{\overline{B \cdot A} \cdot \overline{C \cdot A} \cdot \overline{C \cdot B}} \quad (15.3)$$

Функціональна схема синтезованого КЦП, що реалізує вираз (15.3) на елементах І-НЕ (рисунок 15.1).

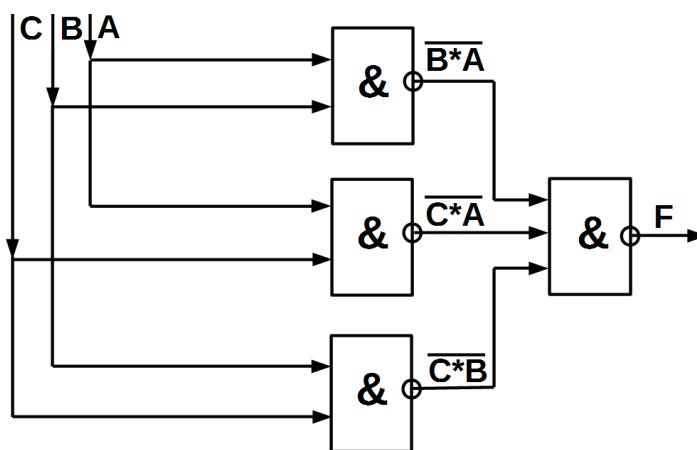


Рисунок 15.1 – Функціональна схема синтезованого КЦП

На практиці широко застосовуються КЦУ, що мають кілька виходів. При проектуванні таких пристроїв можна скористатися розглянутими вище правилами синтезу, якщо уявити пристрій у вигляді сукупності відповідного числа КЦУ із загальними входами.

Функціонування КЦУ з  $m$ -виходами описується (задається) аналогічною кількістю переключаючих функцій, над кожною з яких в процесі синтезу виконуються дії, описані вище.

## 15.2. Класифікація комп'ютерних цифрових пристроїв

У цифровій техніці при побудові складних пристроїв широко застосовуються не тільки окремі логічні елементи, що реалізують елементарні булеві функції, але і їх комбінації у вигляді типових структур, виконуваних як єдине ціле у вигляді інтегральних мікросхем (ІМС). На входи таких структур можуть подаватися інформаційні логічні сигнали і сигнали управління. Останні можуть визначати, наприклад, порядок передачі інформаційних вхідних сигналів на вихід або грати роль сигналів синхронізації. У багатьох випадках, особливо при використанні в пристроях вихідних ланцюгів з трьома станами, в якості сигналів синхронізації виступають сигнали "Вибір мікросхеми" (CS). Наявність активного значення такого сигналу управління (в одних схемах це логічний нуль, в інших - логічна одиниця) дозволяє пристрою виконання заданих функцій, відсутність його - переводить схему в "невибрану" стан, при якому вона не виконує обробку інформації, а її виходи відключені від навантаження.

### *Шифратори і дешифратори*

У повсякденному житті для подання чисел ми застосовуємо десяткову систему числення [2]. Якщо остання використовується для представлення дискретних повідомлень (дискретної інформації - даних), то говорять про кодування - встановленні відповідності між елементами даних і сукупністю символів, названих кодовою комбінацією. У більшості сучасних комп'ютеризованих систем управління і автоматики вхідна дискретна інформація представлена у десятковому (унітарному) коді, а обробка інформації цифровим комп'ютером здійснюється над даними, представленими в двійковому коді. Виникає завдання перетворення десяткового (унітарного) коду в двійковий при введенні в систему і зворотного перекладу двійкового коду в десятковий (унітарний) при виведенні з цифрової системи результатів обробки інформації.

Комбінаційне цифровий пристрій (КЦП), що виконує переклад десяткового (унітарного) коду в двійковий, називається шифратором (кодером)

двійкового коду, а здійснює перетворення двійкового коду в десятковий (унітарний) - дешифратором (декодером) двійкового коду.

Дуже часто десяткові коди перетворюються в двійковий-десятковий, які називають BCD (Binary Code Decimal) -код або кодами 8421. У цьому випадку КЦУ, перетворюючи десятковий код в BCD-код і навпаки, називають відповідно шифратором (кодером) і дешифратором (декодером) двійково-десяткового коду (BCD-коду).

Поширеним вихідним пристроєм, що відображає десяткові числа, є семисегментний індикатор. Його роботою керує дешифратор, перетворюючий BCD-код в семисегментний. Розглянемо названі пристрої більш докладно.

### *Шифратори двійкового коду*

Шифратори двійкового коду перетворюють десятковий (унітарний) код в двійковий. Якщо число розрядів вихідного ДК (виходів шифратора) одно  $m$ , то максимальне число вхідних шин визначається числом можливих кодових комбінацій ДК і становить  $2^m$ .

Умовне позначення шифратора (рисунок 15.2).

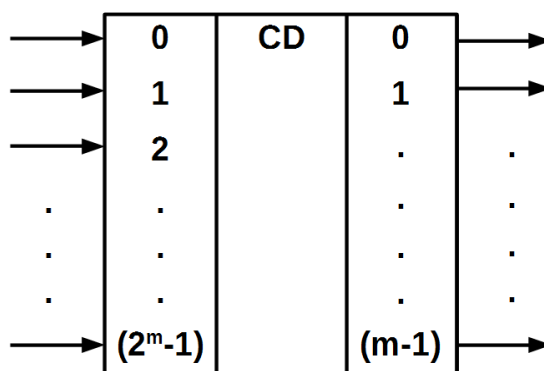


Рисунок 15.2 – Умовне позначення шифратора

На вихідних шинах встановлюється ДК, десятковий еквівалент якого відповідає номеру входу, на якому з'явилася логічна 1. На інших входах при цьому присутні нулі. Такий код називають унітарною (десятковим).

Приклади таких шифраторів розглянуті в навчальному посібнику «Комп'ютерна схемотехніка» автоів.

### Шифратори двійково-десятькового коду

Шифратори двійково-десятькового коду перетворюють вхідний десятиковий (унітарний) код в двійково-десятьковий (BCD) -код (код 8421). З виходу такого шифратора паралельно знімається група двійкових сигналів, з яких кожні чотири (тетрада) відображають в двійковому коді десятикову цифру. Відмінність чотирирозрядний двійкового коду від чотирирозрядний BCD-коду полягає в діапазоні зміни комбінацій вихідного коду: у першому випадку вихідний код змінюється від 0000 до 1111, а в другому – від 0000 до 1001.

В одному байті (восьми бітах) можна упакувати (укласти) Дві десятикові цифри в BCD-коді. Такий формат представлення десятикових чисел називається упакованим.

На рисунку 15.7 приведено функціональне позначення шифратора BCD-коду.

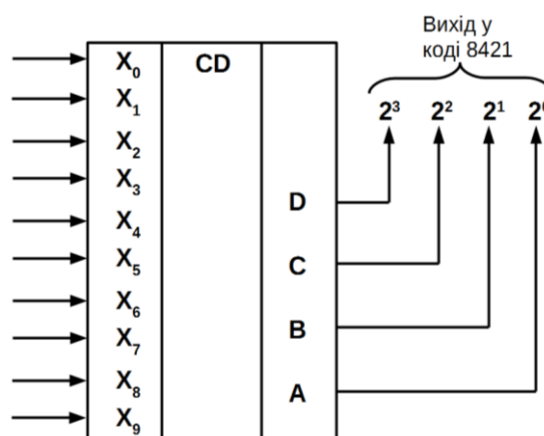


Рисунок 15.7 – Умовне позначення шифратора DCD коду

На вхід системи надходять двійкові цифри від 0 до 9, які відображаються на виході однієї тетрадой двійкового коду, приймаючої значення від 0000 В до 1 001 В.

### Дешифратори двійкового коду

Дешифратором (декодером) двійкового коду називають КЦП, що перетворює вхідний двійковий код в десятиковий (унітарний). Повний дешифратор з  $m$  входами має  $2m$  виходів. Кожній комбінації вхідних сигналів

відповідає активне значення тільки одного певного вихідного сигналу. Нижче показана таблиця істинності (таблиця 15.4) та умовне позначення (рисунок 15.8) трьохвходового повного дешифратора з одиничними активними значеннями вихідних сигналів  $F_0 \dots F_7$ .

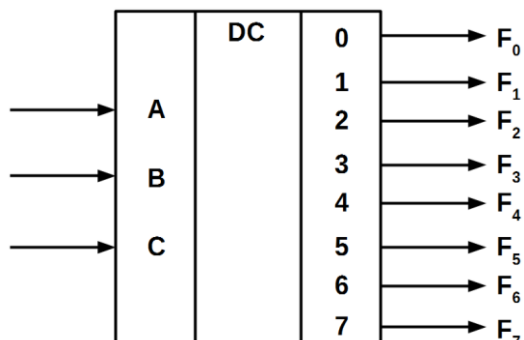


Рисунок 15.8 – Умовне позначення дешифратора

Таблиця 15.4 – Таблиця істинності дешифратора

| № набору | C | B | A | $F_0$ | $F_1$ | $F_2$ | $F_3$ | $F_4$ | $F_5$ | $F_6$ | $F_7$ |
|----------|---|---|---|-------|-------|-------|-------|-------|-------|-------|-------|
| 0        | 0 | 0 | 0 | 1     | 0     | 0     | 0     | 0     | 0     | 0     | 0     |
| 1        | 0 | 0 | 1 | 0     | 1     | 0     | 0     | 0     | 0     | 0     | 0     |
| 2        | 0 | 1 | 0 | 0     | 0     | 1     | 0     | 0     | 0     | 0     | 0     |
| 3        | 0 | 1 | 1 | 0     | 0     | 0     | 1     | 0     | 0     | 0     | 0     |
| 4        | 1 | 0 | 0 | 0     | 0     | 0     | 0     | 1     | 0     | 0     | 0     |
| 5        | 1 | 0 | 1 | 0     | 0     | 0     | 0     | 0     | 1     | 0     | 0     |
| 6        | 1 | 1 | 0 | 0     | 0     | 0     | 0     | 0     | 0     | 1     | 0     |
| 7        | 1 | 1 | 1 | 0     | 0     | 0     | 0     | 0     | 0     | 0     | 1     |

Дешифратор реалізує вісім різних логічних функцій:

$$\begin{aligned}
 F_0 &= \bar{A} \cdot \bar{B} \cdot \bar{C}; & F_1 &= A \cdot \bar{B} \cdot \bar{C}; & F_2 &= A \cdot \bar{B} \cdot C; & F_3 &= A \cdot B \cdot \bar{C}; \\
 F_4 &= \bar{A} \cdot B \cdot \bar{C}; & F_5 &= A \cdot B \cdot \bar{C}; & F_6 &= \bar{A} \cdot B \cdot C; & F_7 &= A \cdot B \cdot C.
 \end{aligned}
 \tag{15.5}$$

Якщо вхідні змінні розглядати як двійковий запис чисел, то логічна одиниця формується на тому виході, номер якого відповідає десятковому еквіваленту вхідного двійкового числа.

Розглянутий дешифратор (таблиця 15.4) є перетворювачем двійкового коду в унітарний (десятковий).

Наведені булеві вирази функцій  $F_0 \dots F_7$  можна реалізувати на логічних елементах у базисах І, АБО, НЕ; І-НЕ або АБО-НЕ, користуючись методикою викладеної раніше.

#### *Дешифратор BCD-коду в семисегментний код*

Подібну назву має перетворювач двійково-десяткового (BCD) коду в код семисегментний індикатора десятичних цифр.

#### *Семисегментний індикатор на світлодіодах*

Дуже поширеним вихідним пристроєм відображення десятичних чисел є семисегментний індикатор. Сім сегментів індикатора позначені буквами від а до g (рисунок 15.9, а).

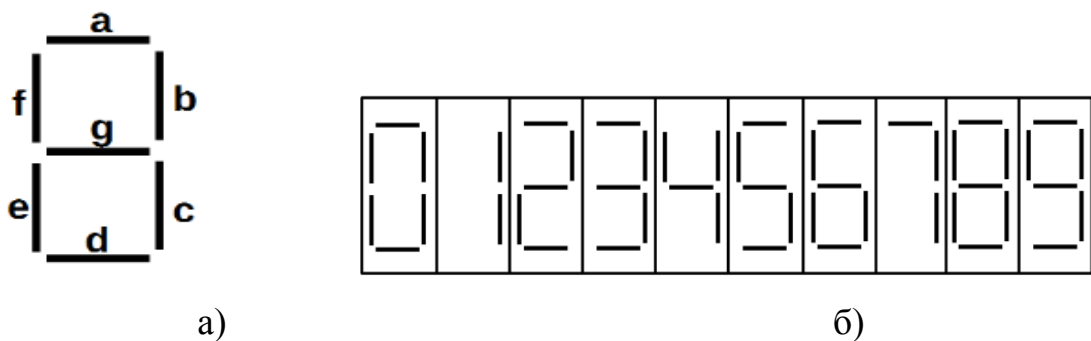


Рисунок 15.9 – Умовне позначення індикатора і його сегментів

Спосіб зображення десятичних цифр від 0 до 9 показаний на рисунку 15.9, б. Наприклад, якщо світяться сегменти а, b і с, то на індикаторі з'являється десяткова цифра 7. Якщо світяться всі сегменти від а до g, то з'являється цифра 8. Існує кілька різновидів індикаторів: на рідких кристалах (РКІ), розжарювальну (подібний звичайним лампам розжарювання), світлодіодні і т.д. [6]

Основною частиною світлодіода [12] є діод з площинним  $pn$  – переходом. Коли діод включений в прямому напрямку, через  $pn$  – перехід протікає струм і виникає випромінювання, яке фокусується в індикаторі спеціальної лінзою, щоб його можна було спостерігати у вигляді загоряння певного сегмента.

Схема включення одного світлодіода (сегмента) приведено на рисунку 15.10,а.

$$R = \frac{E_{num} - U_{vd \square np.}}{I_{vd \square np.}} \quad (15.6)$$

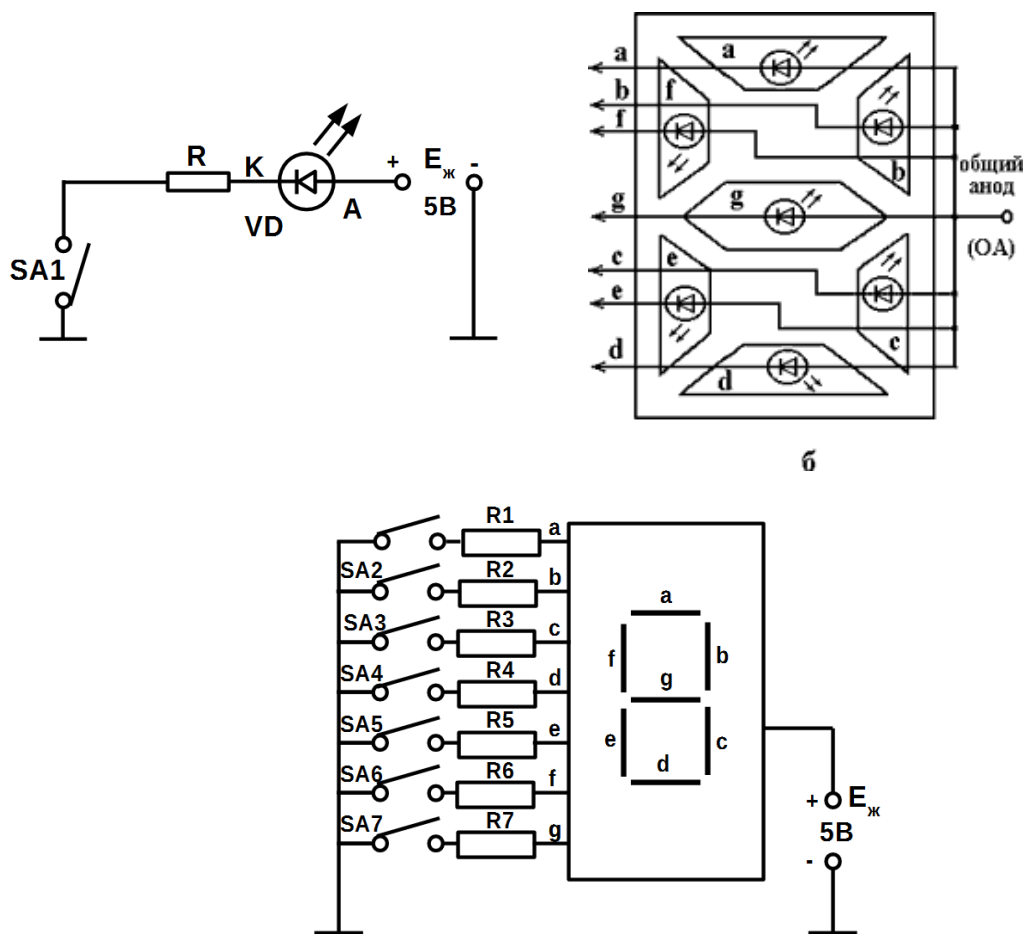


Рисунок 15.10 – Схема включення світлодіода одного сегмента а) і в) та індикатор на рідких кристалах б)

Коли ключ  $SA_1$  замкнутий, струм від джерела  $E_{жив} = +5B$  тече через світлодіод, викликаючи його світіння. Послідовно включений резистор обмежує струм до рівня приблизно (10...20) мА. Без обмежує резистора

світлодіод може вийти з ладу. Зазвичай на висновках світлодіодів при випромінюванні допускається напруга ( $UVD_{np}$ ) не більше (1,7...2) В. Як і всякий діод, світлодіод чутливий до полярності прикладеної напруги. Щоб він був включений в прямому напрямку катод (К) повинен бути підключений до негативного полюса джерела живлення (землі), а анод (А) – до його позитивного полюсу.

Пристрій семисегментний індикатора на світлодіодах показано на рисунку 15.10, б. У кожному сегменті (від *a* до *g*) міститься світлодіод і фокусуються лінза. Аноди всіх світлодіодів з'єднані разом і підключені з правого боку індикатора до одного висновку - загальному анода (ОА). Катоди кожного світлодіода пов'язані із зовнішніми висновками, позначеними *a, b, c, ... g*. Індикатор (рисунок 15.10, б) відноситься до семісегментним світлодіодним індикаторам із загальним анодом. Існують індикатори із загальним катодом.

На рисунку 15.11, показано управління сегментами індикатора за допомогою механічних перемикачів. При замиканні одного з ключів  $SA_1...SA_7$  струм від  $E_{жив} = +5В$  тече: через вибраний сегмент, обмежувальний резистор і замкнуті контакти перемикача - на землю ( $-E_{жив}$ ). При цьому обраний сегмент буде світитися (випромінювати). Якщо, наприклад, ми захочемо висвітлити на індикаторі десяткову цифру 7, то необхідно замкнути ключі  $SA_1, SA_2$  і  $SA_3$ , щоб випромінювали сегменти *a, b* і *c*. Якщо хочемо висвітлити цифру 5, необхідно замкнути ключі  $SA_1, SA_3, SA_4, SA_6$  і  $SA_7$ , які заземлюють катоди сегментів *a, c, d, f* і *g*. Слід звернути увагу, що в світлодіодному індикаторі із загальним анодом для активізації (запалювання) сегментів необхідно подати потенціал землі (логічний нуль) на висновок, що відповідає обраному сегменту.

Для керування роботою індикатора (рисунок 15.10) використовувалися механічні перемикачі. Зазвичай керуючі сигнали формуються інтегральними мікросхемами, наприклад, дешифратором ВСD-коду в семісегментний код.

Нижче показано зображення такого дешифратора на електричних схемах (рисунок 15.11, а) і його підключення до семісегментним світлодіодному індикатору із загальним анодом (рисунок 15.11, б).



В якості дешифраторів ВСD-коду в семисегментний можуть використовуватися різні мікросхеми, наведені в [8].

Наприклад, ІМС К514ІД2, позначення якої дано на рисунку 15.12, а, має відкриті колекторні виходи і використовується спільно з індикаторами, що мають загальний анод. При цьому потрібно застосування зовнішніх резисторів, що включаються між виходами дешифратора і входами індикатора (рисунок 15.12, б). Допустимий струм мікросхеми дешифратора по кожному виходу становить 22 мА.

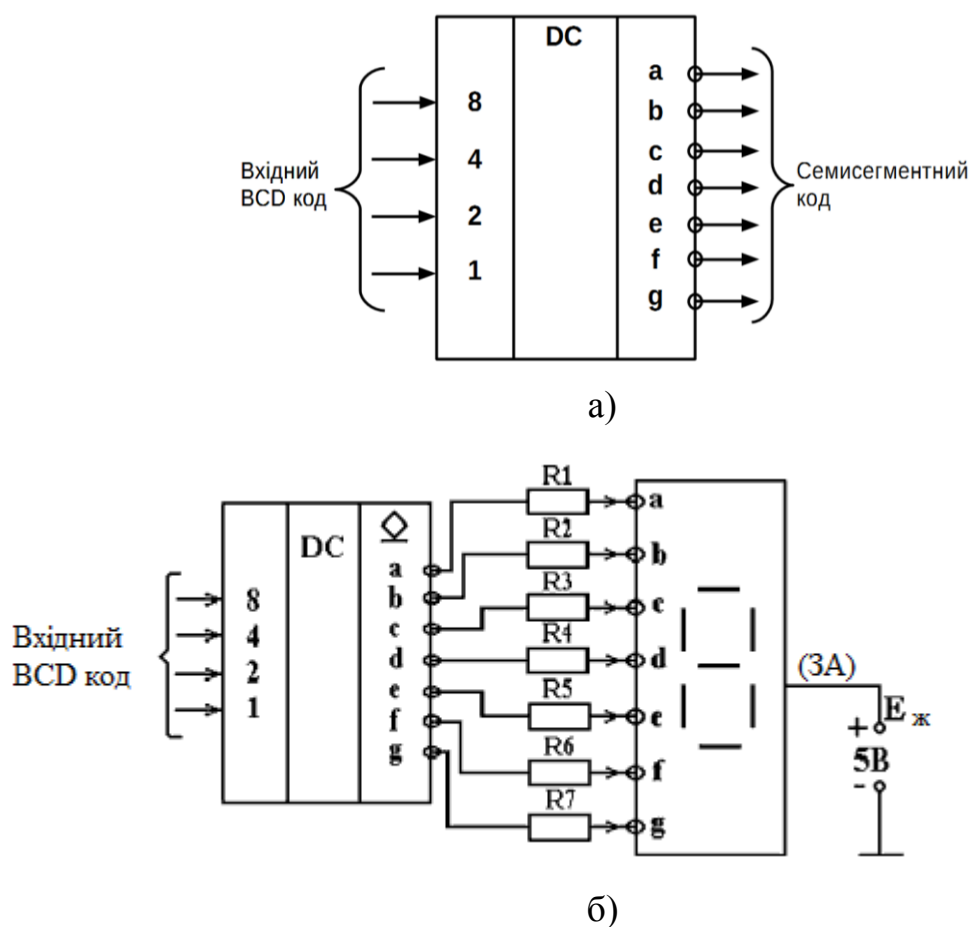


Рисунок 15.12 – Електрична схема управління семісегментним індикатором

Окрім інформаційних входів, на які надходить двійково-десятковий код, індикатори можуть містити ряд керуючих входів [8, 12], наприклад, для придушення нулів, гасіння, контролю свічення, синхронізації і т.д.

## СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Сергиенко Д.Б. Цифровая обработка сигнала. СПб.: Питер, 2002.- 608с.
2. Бабич М.П., Жуков И.А. Компьютерная схемотехника. Киев.: «МК Пресс» 2004.412с.
3. Гусев В.Г., Гусей Ю.М. Электроника и микропроцессорная техника М.: Высшая школа, 2008. – 799с.
4. Баскаков С.И. Радиотехнические цепи и сигналы. – М.: Высшая школа, 2000. – 462с.
5. Френкс Л. Теория сигналов. Перевод с английского под ред. Д.Э.Вакмана. – М.: Сов. Радио, 1974. 344с.
6. Янсен Й. Курс цифровой электроники в четырех томах, том 1. Основы цифровой электроники на интегральных схемах. Москва.: Мир. 1987.- 331с.
7. Бойт К. Цифровая электроника. М.: Техносфера. 2007. 471с.
8. Груба В.И., Никулин Э.К., Оголобченко А.С. Технические средства автоматики. Киев. : «МК – Пресс», 2004.169с.
9. Цифровые интегральные микросхемы.: Справочник / П.П. Мальцев, Н.С. Долидзе и др. – М.: Радио и связь, 1994. – 240с.
10. Брамер Ю.А., Пащук И.Н. Импульсная техника. М.: Высшая школа.1985.-320с
11. Баскаков С.И. Радиотехнические цепи и сигналы: практический подход. – М.: Высшая школа, 2002. – 210с
12. Ховрыц П., Хил У. Искусство схемотехники. Том 2 – М.: Мир,1984.-592с.
13. Каганюк О.К., Поліщук М.М. Комп'ютерна схемотехніка: Навчальний посібник. – Луцьк: РРВ Луцького НТУ, 2016. – 236 с.

**M54** **Комп'ютерна схемотехніка** [Текст]: Конспект лекцій / уклад.  
Л.А.Матвійчук. – Чернігів: ЧНБіП, 2017. – 156с.

Комп'ютерний набір  
Редактор

Підп. до друку 2017р.  
Формат 60x84/16. Папір офс. Гарнітура Таймс.  
Ум. друк. арк. \_\_\_\_ . Обл.-вид. арк. 2,5.  
Тираж \_\_\_\_ прим. Зам. 1.

Редакційно-видавничий відділ

